

BUNDESREPUBLIK DEUTSCHLAND

EP04/01853

REC'D 06 OCT 2004
WIPO PCT

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung****Aktenzeichen:**

103 43 565.4 —

Anmeldetag:

19. September 2003 —

Anmelder/Inhaber:

Infineon Technologies AG, 81669 München/DE

Bezeichnung:Master-Latcheschaltung mit Signalpegelverschiebung
für ein dynamisches Flip-Flop**IPC:**

H 03 K 3/037

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 15. September 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

BEST AVAILABLE COPY

Beschreibung

Master-Latcheschaltung mit Signalpegelverschiebung für ein dynamisches Flip-Flop

5

Die Erfindung betrifft eine Master-Latcheschaltung mit Signalpegelverschiebung für ein dynamisches Flip-Flop, das eine minimale Signalschaltverzögerung aufweist.

10

Bei digitalen Systemen wird die Rechenleistung aufgrund der Erwärmung des digitalen Systems durch die auftretende Verlustleistung begrenzt. Darüber hinaus begrenzt die Verlustleistung der Bauelemente die Betriebsdauer insbesondere bei mobilen digitalen Systemen.

15

Es wurde daher vorgeschlagen, mehrere Betriebsspannungen innerhalb eines digitalen logischen Blocks einzusetzen, wobei bei den kritischen Signalpfaden eine hohe Betriebsspannung für die Bauelemente zur Verfügung gestellt wird, während bei den unkritischen Signalpfaden die Bauelemente mit einer niedrigen Versorgungsspannung versorgt werden. Durch die niedrige Versorgungsspannung werden insbesondere die dynamischen Verluste, welche quadratisch von der Betriebsspannung abhängen, reduziert. Bei der Verwendung mehrerer Betriebsspannungen ergibt sich jedoch die Problematik, dass es aufgrund der logischen Struktur der Schaltung Signalübergänge zwischen verschiedenen Spannungsdomänen gibt. Kritisch ist dabei insbesondere der Signalübergang von einem Bereich mit niedriger Versorgungsspannung zu einem Bereich mit hoher Versorgungsspannung.

30

35

Fig. 1 zeigt den Übergang zwischen einem ersten digitalen System, welches mit einer relativ niedrigen Versorgungsspannung V_A versorgt wird, zu einem zweiten digitalen System, welches mit einer höheren Versorgungsspannung V_B versorgt wird. Gibt der Inverter INV_1 des ersten digitalen Systems eine logische Null bzw. einen niedrigen Signalpegel über den

Ausgang A_1 an den Eingang E_2 des Inverters INV_2 des zweiten digitalen Systems mit hoher Versorgungsspannung V_B ab, wird der N-Kanaltransistor N_2 gesperrt und der P-Kanaltransistor P_2 geöffnet, so dass von dem Ausgang A_2 ein digitales Ausgangssignal mit einem hohen logischen Signalpegel abgegeben wird. Der Signalpegelhub am Ausgang A_2 entspricht dabei im Wesentlichen der hohen Betriebsspannung V_B . Liegt am Ausgang A_1 des ersten digitalen Systems ein logisch hoher Signalpegel entsprechend der niedrigen Versorgungsspannung V_A an, wird der N-Kanaltransistor N_2 geöffnet. Allerdings sperrt der P-Kanal-Transistor P_2 in diesem Falle nicht vollständig, so dass ein Querstrom bzw. Kurzschlussstrom fließt. Die durch diesen Kurzschlussstrom hervorgerufene Verlustleistung gleichen die Verminderung der Verlustleistung aufgrund der Verwendung mehrerer Betriebsspannungen V_A , V_B zum Teil aus und führen sogar dazu, dass die Verlustleistung insgesamt ansteigt. Ein weiteres Problem ist, dass aufgrund des Querstromes der Ausgangspegel möglicherweise logisch undefiniert ist.

Zur Vermeidung der Querströme wird daher eine Signalpegelverschiebungsschaltung nach dem Stand der Technik eingesetzt, wie sie in Fig. 2 dargestellt ist. Die Signalpegelverschiebungsschaltung führt zu einer Umwandlung des niedrigen Spannungspegelhubes an der Inverterstufe INV_1 zu einem hohen Spannungspegelhub an der Inverterstufe INV_2 .

Fig. 3 zeigt den schaltungstechnischen Aufbau der Signalpegelverschiebungsschaltung nach dem Stand der Technik. Die Signalpegelverschiebungsschaltung enthält zwei kreuzgekoppelte PMOS-Transistoren, die mit der hohen Betriebsspannung V_B versorgt werden. Das Eingangssignal, welches von der Inverterstufe INV_1 mit niedriger Betriebsspannung V_A stammt, wird an einen ersten NMOS-Transistor N_3 und über einen Inverter INV an einen zweiten NMOS-Transistor N_4 angelegt. Gibt die Inverterstufe INV_1 ein logisch hohes Signal ab, schaltet der NMOS-Transistor N_3 durch, und der NMOS-Transistor N_4 wird gesperrt. Gibt die Inverterstufe INV_1 ein logisch niedriges

Signal ab, sperrt der NMOS-Transistor N_3 und der NMOS-Transistor N_4 schaltet durch. Durch die Mitkoppelung wird am Ausgang der Signalpegelverschiebungsschaltung ein logisch hohes Signal erzeugt, dessen Signalpegel im Wesentlichen der hohen Betriebsspannung V_B entspricht.

Die Signalpegelverschiebungsschaltung, wie sie in Fig. 3 dargestellt ist, vermeidet die auftretenden Querströme bei direkter Kopplung der beiden Spannungsdomänen, wie sie bei der in Fig. 1 dargestellten Schaltungsanordnung auftreten.

Die Signalpegelverschiebungsschaltung nach dem Stand der Technik, wie sie in Fig. 3 dargestellt ist, hat jedoch einige Nachteile. Da der darin enthaltene Inverter INV mit der niedrigen Versorgungsspannung V_A versorgt wird und die beiden PMOS-Transistoren P_3 , P_4 mit der hohen Versorgungsspannung V_B , müssen die entsprechenden Bauelemente innerhalb der Signalpegelverschiebungsschaltung einen bestimmten Mindestabstand entsprechend den ESD-Designregeln einhalten (ESD: Electrostatic Discharge). Dies führt dazu, dass die Signalpegelverschiebungsschaltung eine relativ hohe Fläche bei der Integration auf einem Chip benötigt.

Ein weiterer Nachteil besteht darin, dass die Signalpegelverschiebungsschaltung der Figur 3 zu einer Signalverzögerung innerhalb des Signalpfades führt, so dass die Rechenleistung des gesamten digitalen Systems abnimmt.

Ein weiterer Nachteil besteht darin, dass die Signalpegelverschiebungsschaltung gemäß Figur 3 eine bestimmte eigene Verlustleistung aufweist, so dass die gesamte Verlustleistung der Schaltung zunimmt.

Zur Minimierung der genannten Nachteile wird daher vorgeschlagen, die Signalpegelverschiebungsfunktion in ein flankengetriggertes Flip-Flop zu integrieren. Fig. 4 zeigt ein flankengetriggertes Flip-Flop nach dem Stand der Technik ohne

Signalpegelverschiebung. Das flankengetriggerte Flip-Flop enthält eine Master-Latcheschaltung und eine Slave-Latcheschaltung, die durch ein Transmission-Gate TG bzw. eine Trennschaltung voneinander getrennt sind. Die Trennschaltung TG wird durch ein Taktsignal Clk getaktet. Das flankengetriggerte Flip-Flop weist einen Datensignaleingang D auf, der über eine Inverterstufe mit nachgeschaltetem Transmission-Gate mit der Master-Latcheschaltung verbunden ist. Das anliegende Datensignal D wird während eines niedrigen Pegels des Taktsignals Clk in die Master-Latcheschaltung eingeschrieben. Gleichzeitig werden die Master-Latcheschaltung und die Slave-Latcheschaltung durch das Transmission-Gate TG voneinander getrennt. Die Master-Latcheschaltung ist transparent, d.h. das im Rückkopplungszweig der Master-Latcheschaltung vorgesehene Transmission-Gate TG sperrt, so dass die Rückkopplungsschleife aufgetrennt ist. In der Slave-Latcheschaltung wird das zuletzt eingeschriebene Datum gehalten und liegt am Ausgang des flankengetriggerten Flip-Flops an. Das letzte Datum D liegt am Ausgang Q_M der transparenten Master-Latcheschaltung an. Bei der nächsten ansteigenden Flanke des Taktsignals Clk wird die Rückkopplungsschleife innerhalb der Master-Latcheschaltung geschlossen, um das letzte Datum D zwischenspeichern. Die Master-Latcheschaltung und die Slave-Latcheschaltung werden durch das Transmission-Gate TG miteinander verbunden, und die Slave-Latcheschaltung wird transparent geschaltet, d.h. die Rückkopplungsschleife innerhalb der Slave-Latcheschaltung wird aufgetrennt. Das am Ausgang Q_M der Master-Latcheschaltung anliegende Datum wird somit in die transparente Slave-Latcheschaltung überführt und liegt am Ausgang A_S der Slave-Latcheschaltung an. Bei der nächsten fallenden Flanke wird die Master-Latcheschaltung wieder von der Slave-Latcheschaltung getrennt und die Rückkopplungsschleife innerhalb der Slave-Latcheschaltung zum Zwischenspeichern des Datums geschlossen. Die Master-Latcheschaltung ist dann transparent zum Einlesen eines neuen Datums D.

Fig. 5 zeigt beispielhaft die Set-up-Zeit t_{set} und die Hold-Zeit t_{hold} des in Fig. 4 dargestellten flankengetriggerten Flip-Flops nach dem Stand der Technik. Eine wesentliche Eigenschaft des flankengetriggerten Flip-Flops ist die durch das Flip-Flop hervorgerufene Verzögerungszeit, insbesondere die Verzögerungszeit zwischen der ansteigenden Taktflanke des Taktsignals Clk und der Gültigkeit des Datums Q am Ausgang des Flip-Flops, die sogenannte Clock-to-Q-Delay Zeit. Die Set-up- und Holdzeiten geben an, wie lange vor bzw. wie lange nach dem Takt signal das Eingangssignal D gültig sein muss, um eine bestimmte Clock-to-Q-Delay Zeit einzuhalten.

Die Fig. 6 zeigt beispielhaft für eine Technologie das Zeitverhalten des in Fig. 4 dargestellten Flip-Flops nach dem Stand der Technik. Die Verzögerungszeit liegt im normalen Betriebsbereich etwas über $0,8 \times 10^{-10}$ Sekunden.

Zur Vermeidung der Nachteile, die mit einer herkömmlichen Signalpegelverschiebungsschaltung, wie sie in Fig. 3 dargestellt ist, verbunden sind, wurde nach dem Stand der Technik ein statisches Flip-Flop mit Signalpegelverschiebung vorgeschlagen, wie es in Fig. 7 dargestellt ist. Zwischen einem ersten digitalen Datenverarbeitungssystem DIG_A , welches mit einer relativ niedrigen Versorgungsspannung V_A versorgt wird, und einem zweiten digitalen System DIG_B , welches mit einer relativ hohen Versorgungsspannung V_B versorgt wird, wird ein dynamisches Flip-Flop mit Signalpegelverschiebung vorgesehen. Das Flip-Flop wird mit einem Taktsignal Clk getaktet und überführt das ankommende Datensignal D_A mit niedrigem Signalpegelhub in ein Ausgangsdatsignal D_B mit hohem Signalpegelhub.

Fig. 8 zeigt das herkömmliche statische Flip-Flop mit Signalpegelverschiebung nach dem Stand der Technik im Detail. Bei dem Flip-Flop mit Signalpegelverschiebung ist die Slave-Latcheschaltung gegenüber einem herkömmlichen flankengetrig-

gerten Flip-Flop, wie es in Fig. 4 dargestellt ist, schaltungstechnisch verändert. Der Ausgang der Master-Latcheschaltung ist über ein erstes Transmission-Gate TG_1 mit der Slave-Latcheschaltung verbunden. Der Eingang der Master-

5 Latcheschaltung ist über ein zweites Transmission-Gate TG_2 jeweils an die Slave-Latcheschaltung angeschlossen. Das in die Master-Latcheschaltung eingeschriebene Datensignal D_A mit niedrigem Signalpegel bzw. das dazu komplementäre Datensignal $\overline{D_A}$ wird über die beiden Transmission-Gates TG_1 , TG_2 an die

10 Gate-Anschlüsse von zwei NMOS-Transistoren N_5 , N_6 angelegt. Ist das Datensignal D_A mit niedrigem Signalpegelhub logisch hoch, schaltet der NMOS-Transistor N_6 durch, und der NMOS-Transistor N_5 sperrt. Am Ausgang Q_S der Slave-Latcheschaltung, liegt dann ein logisch niedriger Datenwert $\overline{D_B}$ an. Ist umge-

15 kehrt das Datensignal D_A logisch niedrig, sperrt der NMOS-Transistor N_6 , und der NMOS-Transistor N_5 schaltet durch. Hierdurch liegt am Ausgang Q_S der Slave-Latcheschaltung ein logisch hohes Datum an, welches einen hohen Signalpegel entsprechend der hohen Versorgungsspannung V_B aufweist.

20 Durch die Integration der Signalpegelverschiebung in das herkömmliche statische Flip-Flop, wie in Fig. 8 dargestellt, kann im Vergleich zu einem herkömmlich flankengetriggerten Flip-Flop, wie es in Fig. 4 dargestellt ist, und einer herkömmlichen Signalpegelverschiebungsschaltung, wie sie in Fig. 3 dargestellt ist, zwar insgesamt etwas an Chipfläche und Verlustleistung eingespart werden, doch ergibt sich die Signalverzögerung weiterhin im Wesentlichen aus der Summe der Signalverzögerung der Signalpegelverschiebungsschaltung und

30 der durch das Flip-Flop hervorgerufenen Signalverzögerung.

Da das in Fig. 7 und Fig. 8 dargestellte Flip-Flop mit Signalverschiebung nach dem Stand der Technik ebenfalls mit zwei Versorgungsspannungen V_A , V_B versorgt werden muss, sind zudem

35 bestimmte Minimalabstände zwischen den Bauelementen einzuhalten, so dass die Flächeneinsparung relativ gering ist und die Signalverzögerung relativ groß ist.

Es ist daher die Aufgabe der vorliegenden Erfindung, eine Master-Latcheschaltung mit Signalpegelverschiebung für ein dynamisches Flip-Flop zu schaffen, die eine minimale Signalverzögerung aufweist.

Diese Aufgabe wird erfindungsgemäß durch eine Master-Latcheschaltung mit den in Patentanspruch 1 angegebenen Merkmalen gelöst.

10

Die Erfindung schafft eine Master-Latcheschaltung mit Signalpegelverschiebung für ein Flip-Flop, das durch ein Taktsignal (Clk) getaktet wird,

wobei die Master-Latcheschaltung aufweist:

15 eine Signalverzögerungsschaltung, die das anliegende Taktsignal (Clk) mit einer bestimmten Zeitverzögerung (Δt) verzögert und invertiert, und

20 einen Schaltungsknoten (LDN), der in einer Aufladephase, wenn das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung (V_B) aufgeladen wird und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte invertierte Taktsignal ($\overline{Clk_{DELAY}}$) logisch hoch sind, abhängig von einem anliegenden Datensignal (D) entladbar ist.

Das Eingangssignal aus der niedrigen Spannungsdomäne V_a steuert dabei nur Transistoren eines Typs (entweder nur P- oder nur N-Kanal) an.

30 Die erfindungsgemäße Master-Latcheschaltung mit Signalpegelverschiebung für ein dynamisches Flip-Flop weist den Vorteil auf, dass das dynamische Flip-Flop lediglich mit einer Betriebsspannung versorgt werden muss.

35 Hierdurch können die Bauelemente des dynamischen Flip-Flops in einem sehr geringen Abstand zueinander auf dem Chip angeordnet werden. Dies führt dazu, dass die erfindungsgemäße

Master-Latcheschaltung bzw. das dynamische Flip-Flip mit einem minimalen Flächenbedarf auf dem Chip integrierbar sind.

5 Aufgrund der minimalen Beabstandung der Bauelemente werden zudem Signallaufzeiten innerhalb der erfindungsgemäßen Master-Latcheschaltung bzw. dem erfindungsgemäßen dynamischen Flip-Flop minimiert.

10 Ein weiterer Vorteil der erfindungsgemäßen Master-Latcheschaltung besteht darin, dass eine minimale Anzahl von schaltungstechnischen Bauelementen darin integriert sind, so dass die Verlustleistung der erfindungsgemäßen Master-Latcheschaltung ebenfalls minimiert ist.

15 Bei einer bevorzugten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung wird der Schaltungsknoten (LDN) in der Auswertephase entladen, wenn das anliegende Datensignal (D) logisch hoch ist, und der Schaltungsknoten (LDN) wird in der Auswertephase nicht entladen, wenn das anliegende Datensignal
20 (D) logisch niedrig ist.

Bei einer bevorzugten Ausführungsform liegt der Schaltungsknoten (LDN) über eine Kapazität (C) an einem Referenzpotential (GND) an.

Bei einer ersten Ausführungsform handelt es sich bei dieser Kapazität (C) um eine parasitäre Kapazität.

30 Bei einer alternativen Ausführungsform wird die Kapazität (C) durch einen vorgesehenen Kondensator gebildet.

Bei einer bevorzugten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung ist der Schaltungsknoten (LDN) mit einem Eingang einer ersten Trennschaltung verbunden, die durch
35 das Taktsignal (Clk) getaktet wird.

Die erste Trennschaltung weist vorzugsweise einen Ausgang auf, der mit einer Slave-Latcheschaltung verbunden ist, welcher das Ausgangssignal der Master-Latcheschaltung zwischen-

5

speichert.
Der Slave-Latcheschaltung ist vorzugsweise ein Inverter nachgeschaltet.

10

Bei einer bevorzugten Ausführungsform ist der Ausgang der ersten Trennschaltung über eine zweite getaktete Trennschaltung an den Eingang der ersten Trennschaltung rückgekoppelt, wobei die zweite Trennschaltung mit dem verzögerten Taktsignal ($\text{Clk}_{\text{DELAY}}$) getaktet wird.

15

Das Vorsehen der zweiten getakteten Trennschaltung hat den Vorteil, dass nach der Auswertephase die Ladung an dem Schaltungsknoten (LDN) durch die Rückkopplung aktiv auf einem bestimmten Signalpegel gehalten wird.

20

Ein Absinken des Signalpegels an dem Schaltungsknoten (LDN) beispielsweise aufgrund von Leckströmen oder Rauschen kann hierdurch verhindert werden.

25

Bei einer weiteren Ausführungsform der erfindungsgemäßen Master-Latcheschaltung weist die Master-Latcheschaltung am ersten steuerbaren Schalter auf, der durch das invertierte Taktsignal ($\overline{\text{Clk}}$) angesteuert wird und der die anliegende Betriebsspannung (V_B) an den Schaltungsknoten (LDN) schaltet, wenn das Taktsignal (Clk) logisch niedrig ist.

30

Bei dem ersten steuerbaren Schalter handelt es sich vorzugsweise um einen PMOS-Transistor.

35

Bei einer bevorzugten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung weist die Master-Latcheschaltung einen zweiten steuerbaren Schalter, einen dritten steuerbaren Schalter und einen vierten steuerbaren Schalter auf, die zu-

einander in Reihe zwischen dem Schaltungsknoten (LDN) und dem Referenzpotenzial (GND) geschaltet sind.

5 Dabei wird der zweite steuerbare Schalter vorzugsweise durch das verzögerte invertierte Taktsignal (\overline{Clk}_{DELAY}) angesteuert.

Der dritte steuerbare Schalter wird vorzugsweise durch das anliegende Datensignal (D) angesteuert.

10 Der vierte steuerbare Schalter wird vorzugsweise durch das Taktsignal (Clk) angesteuert.

Bei dem zweiten, dritten und vierten steuerbaren Schalter handelt es sich vorzugsweise um NMOS-Transistoren.

15

Der zweite, dritte und vierte steuerbare Schalter wird vorzugsweise parallel zu der Kapazität geschaltet.

20 Bei einer besonders bevorzugten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung ist die Zeitverzögerung (ΔT) von der Signalverzögerungsschaltung einstellbar.

5 Dabei ist die Zeitkonstante (τ), mit welcher die Kapazität (C) über die seriell verschalteten Schalter während der Auswertephase entladen wird, wenn das anliegende Datensignal (D) logisch hoch ist, kleiner als die Zeitverzögerung (ΔT) der Signalverzögerungsschaltung ($\tau < \Delta T$).

30 Die Zeitverzögerung (ΔT) der Signalverzögerungsschaltung ist vorzugsweise wesentlich kleiner als die Zeitperiode des Taktsignals (Clk) ($\Delta T \ll T_{CLK}$).

35 Bei einer bevorzugten Ausführungsform wird die Signalverzögerungsschaltung durch mehrere in Reihe verschaltete Inverterstufen gebildet.

Die Erfindung schafft ferner ein flankengetriggertes Flip-Flop mit einer Master-Latcheschaltung nach Anspruch 1, mit einer Slave-Latcheschaltung zum Zwischenspeichern des Ausgangssignals der Master-Latcheschaltung und mit einer getakteten Trennschaltung zum Trennen der Master-Latcheschaltung von der Slave-Latcheschaltung.

Die Erfindung schafft ein dynamisches Flip-Flop mit Signalpegelverschiebung, welches aufweist:

eine Master-Latcheschaltung mit einer Signalverzögerungsschaltung, die das anliegende Taktsignal mit einer bestimmten Zeitverzögerung (ΔT) verzögert und invertiert, einem Schaltungsknoten, der in einer Aufladephase, wenn das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung aufgeladen wird und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte invertierte Taktsignal ($\overline{Clk}_{\text{DELAY}}$) logisch hoch sind, abhängig von einem anliegenden Datensignal (D) entladbar ist; einer Slave-Latcheschaltung zum Zwischenspeichern des Ausgangssignals der Master-Latcheschaltung; und mit einer getakteten Trennschaltung zum Trennen der Master-Latcheschaltung von der Slave-Latcheschaltung.

Dabei steuert das Eingangssignal D nur Transistoren eines einzigen Typs (entweder nur N- oder nur P-Kanal) an.

Im Weiteren werden bevorzugte Ausführungsformen der erfindungsgemäßen Master-Latcheschaltung mit Signalpegelverschiebung für ein dynamisches Flip-Flop unter Bezugnahme auf die beigefügten Figuren zur Erläuterung erfindungswesentlicher Merkmale beschrieben.

Es zeigen:

Fig. 1 zwei gekoppelte digitale Systeme mit unterschiedlichen Betriebsspannungen nach dem Stand der Technik;

Fig. 2 die Kopplung zweier digitaler Systeme mit unterschiedlichen Betriebsspannungen durch eine Signalpegelverschiebungsschaltung nach dem Stand der Technik;

5

Fig. 3 einen schaltungstechnischen Aufbau einer Signalpegelverschiebungsschaltung nach dem Stand der Technik;

Fig. 4 ein flankengetriggertes Flip-Flop nach dem Stand der Technik;

10

Fig. 5 ein Diagramm zur Erläuterung der Verzögerungszeit bei einem herkömmlichen flankengetriggerten Flip-Flop nach dem Stand der Technik;

15

Fig. 6 das Zeitverhalten eines herkömmlichen Flip-Flops nach dem Stand der Technik;

Fig. 7 ein Flip-Flop mit integrierter Signalpegelverschiebung zur Kopplung zweier digitaler Systeme mit unterschiedlicher Betriebsspannung nach dem Stand der Technik;

20

Fig. 8 den schaltungstechnischen Aufbau eines statischen Flip-Flops mit integrierter Signalpegelverschiebung nach dem Stand der Technik;

25

Fig. 9 ein erfindungsgemäßes dynamisches Flip-Flop mit integrierter Signalpegelverschiebung zur Kopplung zweier digitaler Systeme gemäß der Erfindung;

30

Fig. 10 eine Register-Transferlogik mit mehreren erfindungsgemäßen Flip-Flops mit integrierter Signalpegelverschiebung;

Fig. 11 den schaltungstechnischen Aufbau einer ersten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung mit Signalpegelverschiebung;

35

Fig. 12 ein Ablaufdiagramm zur Erläuterung der Funktionsweise der erfindungsgemäßen Master-Latcheschaltung;

5 Fig. 13 den schaltungstechnischen Aufbau einer zweiten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung;

10 Fig. 14 ein Diagramm des Zeitverhaltens der erfindungsgemäßen Master-Latcheschaltung beispielhaft für eine Technologie gemäß der zweiten Ausführungsform in Abhängigkeit von der Setupzeit;

15 Fig. 15 ein Diagramm des Zeitverhaltens der erfindungsgemäßen Master-Latcheschaltung gemäß der zweiten Ausführungsform in Abhängigkeit von der Holdzeit;

Fig. 16 den schaltungstechnischen Aufbau einer dritten Ausführungsform der erfindungsgemäßen Master-Latcheschaltung für ein dynamisches Flip-Flop.

20 Fig. 9 zeigt ein dynamisches Flip-Flop 1 gemäß der Erfindung zur Kopplung eines ersten digitalen Systems DIG_A mit einer niedrigen Versorgungsspannung V_A und einem zweiten digitalen System DIG_B mit einer relativ hohen Versorgungsspannung V_B . Das dynamische Flip-Flop mit integrierter Signalpegelverschiebung 1 weist einen Taktsignaleingang 2 zum Anlegen eines Taktsignals Clk und einen Datensignaleingang 3 zum Empfangen eines Datensignals D_A von dem ersten digitalen System DIG_A auf. Das von einer Leitung 4 empfangene Datensignal D_A weist entsprechend der relativ niedrigen Versorgungsspannung V_A einen relativ niedrigen Signalpegelhub auf. Das erfindungsgemäße dynamische Flip-Flop 1 weist einen Datenausgang 5 auf, der ein Ausgangsdatum $Q = D_B$ über eine Ausgangssignalleitung 6 an das zweite digitale System DIG_B abgibt, welches mit einer relativ hohen Versorgungsspannung V_B versorgt wird. Das abgegebene Datum D_B weist entsprechend der zweiten Versorgungsspannung V_B einen hohen Signalpegelhub auf. Das dynamische Flip-Flop 1 nutzt zudem einen Spannungsversorgungsanschluss 7, der

30

35

über eine Leitung 8 an der hohen Versorgungsspannung V_B des zweiten digitalen Systems DIG_B anliegt. Wie man aus Fig. 9 erkennen kann, wird das erfindungsgemäße dynamische Flip-Flop 1, welches die erfindungsgemäße Master-Latcheschaltung enthält, lediglich durch eine Versorgungsspannung V_B versorgt. Dies bietet den Vorteil, dass die Abstände der Bauelemente innerhalb des dynamischen Flip-Flops 1 minimal gehalten werden können, ohne gegen die ESD-Designregeln zu verstoßen. Der Flächenbedarf des erfindungsgemäßen dynamischen Flip-Flops 1 ist dementsprechend gering. Außerdem ermöglicht das erfindungsgemäße dynamische Flip-Flop einen reduzierten Aufwand bei der Platzierung und Verdrahtung, da nur eine Versorgungsleitung an die Schaltung herangeführt werden muss.

Fig. 10 zeigt eine Registertransferlogik, die mehrere dynamische Flip-Flops zur Signalpegelverschiebung 1-1, 1-2 enthält. Zwischen den erfindungsgemäßen dynamischen Flip-Flops 1 befindet sich die digitale Logik, die aus einer Vielzahl von Gattern besteht. Die Betriebstaktfrequenz f_{clk} der Registertransferlogik wird bestimmt durch die Summe der Signalverzögerungszeit der Flip-Flops 1-i und der zwischengeschalteten Logikschaltungen 9-i. Die erfindungsgemäßen dynamischen Flip-Flops 1-i weisen eine minimale Signalverzögerungszeit auf, so dass die Summe der Signalverzögerungszeiten innerhalb der Registertransferlogik ebenfalls minimiert wird. Hierdurch wird die Betriebstaktfrequenz f_{clk} der gesamten Registertransferlogik erhöht, so dass die Rechnerleistung des gesamten digitalen Systems erheblich gesteigert wird.

Fig. 11 zeigt eine erste Ausführungsform eines erfindungsgemäßen dynamischen Flip-Flops 1. Das dynamische flankengetriggerte Flip-Flop 1 enthält eine erfindungsgemäße Master-Latcheschaltung 10, eine Slave-Latcheschaltung 11 und eine dazwischengeschaltete getaktete Trennschaltung bzw. ein Transmission-Gate 12. Die getaktete Trennschaltung 12 kann z.B. aus einer Inverterstufe mit nachgeschaltetem Transmission-Gate, welches durch das Taktsignal Clk getaktet wird bestehen.

Die Master-Latcheschaltung 10 umfasst eine Signalverzögerungsschaltung 13, die das am Taktsignaleingang anliegende Taktsignal Clk mit einer bestimmten Zeitverzögerung ΔT verzögert und invertiert. Die Signalverzögerungsschaltung 13 besteht dabei vorzugsweise aus einer Reihe von seriell verschalteten Inverterstufen 13a, die eine bestimmte Zeitverzögerung ΔT hervorruft und einen nachgeschalteten Inverter 13b. Die Master-Latcheschaltung 10 enthält einen dynamischen Schaltungsknoten 14, der in einer Aufladephase, wenn das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung V_B , die an dem Anschluss 7 anliegt, aufgeladen wird und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte invertierte Taktsignal, welches von der Signalverzögerungsschaltung 13 abgegeben wird, logisch hoch sind, abhängig von dem an dem Anschluss 3 anliegenden Datensignal (D) entladbar ist. Der Schaltungsknoten 14 wird in der Auswertephase entladen, wenn das anliegende Datensignal (D) logisch hoch ist, und umgekehrt wird der Schaltungsknoten 14 während der Auswertephase nicht entladen, wenn das anliegende Datensignal (D) logisch niedrig ist.

Bei einer alternativen Ausführungsform kann die Master-Latcheschaltung 10 komplementär zu dem in Fig. 11 dargestellten Schaltung aufgebaut werden.

Der Schaltungsknoten 14 ist über eine Kapazität 15 an ein Referenzpotenzial geschaltet. Bei dem Referenzpotenzial handelt es sich vorzugsweise um Masse (GND). Bei einer ersten Ausführung der erfindungsgemäßen Master-Latcheschaltung 10 wird die Kapazität 15 durch eine parasitäre Kapazität C gebildet.

Bei einer alternativen Ausführungsform wird die Kapazität C durch mindestens einen vorgesehenen Kondensator gebildet.

Alternativ kann die Kapazität C durch ein programmierbares Kondensatornetzwerk gebildet werden, was es erlaubt, die

Zeitkonstante T zum Aufladen und Entladen des Schaltungsknotens 14 zu programmieren.

Der Schaltungsknoten 14 ist über eine Leitung 16 mit einem Eingang der ersten Trennschaltung 12 verbunden, die durch das Taktsignal Clk zur Ansteuerung des darin enthaltenen Transmission-Gates getaktet wird. Der Ausgang der ersten Trennschaltung 12 wird über eine Leitung 17 mit einem Eingang der Slave-Latcheschaltung 11 verbunden, die das Ausgangssignal Q_M der Master-Latcheschaltung 10 zwischenspeichert. Der Slave-Latcheschaltung 11 ist vorzugsweise ein Inverter 18 nachgeschaltet; der das Ausgangssignal Q_S der Slave-Latcheschaltung 11 invertiert und das Ausgangssignal Q des dynamischen Flip-Flops 1 am Ausgang 5 des Flip-Flops 1 abgibt.

Die Master-Latcheschaltung 10 weist einen ersten steuerbaren Schalter 19 auf, der durch das invertierte Taktsignal (\overline{Clk}) angesteuert wird. Der Taktsignaleingang 2 des Flip-Flops 1 über eine Leitung 20 mit einem Inverter 21 zur Invertierung des Taktsignals Clk verbunden. Der Inverter kann jedoch entfallen, wenn für den Schalter 19 ein entsprechender Transistortyp (hier P-Kanal) eingesetzt wird. Der Ausgang des Inverters 21 ist über eine Leitung 22 mit dem Steuereingang des Schalters 19 verbunden. Bei dem steuerbaren Schalter 19 handelt es sich vorzugsweise um einen PMOS-Transistor. Wenn das Taktsignal Clk logisch niedrig ist, schaltet der PMOS-Transistor 19 durch und verbindet den Betriebsspannungsanschluss 7 mit dem dynamischen Knoten 14, so dass dieser auf die Betriebsspannung V_B während der Aufladephase aufgeladen wird.

Die Signalverzögerungsschaltung 13 ist ausgangsseitig über eine Leitung 23 mit einem zweiten steuerbaren Schalter 24 verbunden, bei dem es sich vorzugsweise um einen NMOS-Transistor handelt.

Das am Datensignaleingang 3 anliegende Datensignal D wird über eine Leitung 25 direkt an den Steuereingang eines weiteren steuerbaren Schalters 26 angelegt, bei dem es sich ebenfalls vorzugsweise um einen NMOS-Transistor handelt. Das am Taktsignaleingang 2 anliegende Taktsignal Clk steuert über eine interne Leitung 27 einen dritten steuerbaren Schalter 28, der vorzugsweise ebenfalls als NMOS-Transistor implementiert ist. Die NMOS-Transistoren 24, 26, 28 sind zueinander in Reihe geschaltet. Dabei sind sie zwischen dem dynamischen Schaltungsknoten 14 und dem Referenzpotenzial GND in Serie verschaltet.

Die Reihenschaltung der drei NMOS-Transistoren 24, 26, 28 ist parallel zu der vorhandenen Kapazität 15 verschaltet.

In der Aufladephase wird die Kapazität 15 über den PMOS-Transistor 19 mit einer bestimmten Zeitkonstante τ_{Auflade} , die sich aus dem Produkt der Kapazität des Kondensators 15 und dem Umschaltwiderstand R_{S1} des PMOS-Transistors ergibt:

$$\tau_{\text{Auflade}} = R_{S1} \cdot C_{15} \quad (1)$$

In der Auswertephase wird der dynamische Schaltungsknoten 14 in einem bestimmten Zeitfenster, wenn das anliegende Taktsignal Clk und das verzögerte invertierte Taktsignal ($\overline{\text{Clk}_{\text{DELAY}}}$) logisch hoch sind, in Abhängigkeit von dem anliegenden Datensignal D entladen, wenn das Datensignal D logisch hoch ist, und nicht entladen, wenn das Datensignal D logisch niedrig ist. Das Zeitfenster wird durch die Zeitverzögerung ΔT der Signalverzögerungsschaltung 13 bestimmt. Dabei ist die Verzögerungszeit ΔT vorzugsweise einstellbar.

Die Entladung des dynamischen Knotens 14 für den Fall, dass das anliegende Datensignal innerhalb des Zeitfensters logisch hoch ist, erfolgt mit einer Entladezeitkonstante τ_{Entlade} , die durch das Produkt der Durchschaltwiderstände der in Reihe ge-

geschalteten NMOS-Transistoren 24, 26, 28 und der Kapazität des Kondensators 15 bestimmt ist:

$$\tau_{\text{Entlade}} = (R_{24} + R_{26} + R_{28}) \cdot C_{15} \quad (2)$$

5

Die Signalverzögerungszeit ΔT der Signalverzögerungsschaltung 13 wird so gewählt, dass sie erheblich größer ist als die Entladezeitkonstante τ_{Entlade}

$$\Delta T \gg \tau_{\text{Entlade}} \quad (3)$$

10

Darüber hinaus muss gewährleistet sein, dass die Signalverzögerungszeit ΔT der Signalverzögerungsschaltung 13 erheblich geringer ist als die Taktperiode T_{Clk} des anliegenden Taktsignals Clk.

15

$$\Delta T \ll T_{\text{Clk}} \quad (4)$$

Das am dynamischen Schaltungsknoten 14 anliegende Datensignal Q_M wird in der nachgeschalteten Slave-Latchschaltung 11 zwischengespeichert. Die Slave-Latchschaltung 11 enthält einen Inverter 11a, dessen Ausgang über eine Trennschaltung 11b über den Eingang des Inverters 11a rückgekoppelt ist. Die Trennschaltung 11b enthält einen Inverter mit integriertem Transmission-Gate, welche durch das invertierte Taktsignal $\overline{\text{Clk}}$ angesteuert wird.

20

25

Die Fig. 12a-12f zeigen Signalabläufe zur Erläuterung der Funktionsweise des erfindungsgemäßen Flip-Flops 1 mit integrierter Signalpegelverschiebung.

30

Fig. 12a zeigt den Signalverlauf am Taktsignaleingang 2 des dynamischen Flip-Flops 1.

Fig. 12b zeigt das an den Inverter invertierte Taktsignal $\overline{\text{Clk}}$.

35

Fig. 12c zeigt das durch die Signalverzögerungsschaltung 13 signalverzögerte invertierte Taktsignal \overline{Clk}_{DELAY} , welches den NMOS-Transistor 24 ansteuert.

5 Fig. 12d zeigt beispielhaft ein an dem Datensignaleingang 3 anliegendes Datensignal D.

Fig. 12e zeigt den zugehörigen Signalverlauf am dynamischen Schaltungsknoten LDN (Logic Decision Node).

10

Fig. 12f zeigt den Signalverlauf am Signalausgang 5 des erfindungsgemäßen dynamischen Flip-Flops 1.

15

Zum Zeitpunkt t_1 weist das Taktsignal Clk eine ansteigende Signalflanke auf, so dass der NMOS-Transistor 28 durchgeschaltet. Innerhalb eines Zeitfensters, welches durch die Signalverzögerungszeit ΔT der Signalverzögerungsschaltung 13 bestimmt wird, ist auch der NMOS-Transistor 24 noch durchgeschaltet.

20

Während des Zeitfensters ΔT ist das Datensignal D logisch hoch, so dass auch der mit in Reihe geschaltete NMOS-Transistor 26 durchgeschaltet ist. Der Logic Decision Node (LDN) 14 wird über die in Reihe geschalteten NMOS-Transistoren 24, 26, 28 mit der Entladezeitkonstante $\tau_{Entlade}$ entladen. Man erkennt in Fig. 12e, dass der Knoten 14 während des Zeitfensters ΔT entladen wird.

30

Zum Zeitpunkt t_2 weist das Taktsignal Clk eine fallende Signalflanke auf, so dass der NMOS-Transistor 28 gesperrt wird. Gleichzeitig schaltet der PMOS-Transistor 19 durch, so dass der dynamische Schaltungsknoten 14 auf die Betriebsspannung V_B mit einer Aufladezeitkonstante $\tau_{Auflade}$ aufgeladen wird. Der Schaltungsknoten 14 bleibt bis zum nächsten Zeitfenster zum Zeitpunkt t_3 aufgeladen. Zum Zeitpunkt t_3 wird erneut ein Zeitfenster zum Schließen der beiden NMOS-Transistoren 24, 28 geöffnet. Bei dem dargestellten Beispiel ist zu diesem Zeit-

35

punkt das Datensignal D logisch niedrig, so dass der NMOS-Transistor 26 offen bleibt und somit keine Entladung des Kondensators 15 erfolgt. Zum Zeitpunkt t_5 wird erneut ein Zeitfenster ΔT geöffnet, wobei der Schaltungsknoten 14 aufgrund
5 des logisch hohen Datensignals D entsprechend entladen wird.

Wie man aus Fig. 11 erkennen kann, ist die Signalverzögerungszeit des erfindungsgemäßen Flip-Flops 1, d.h. die Signalverzögerung zwischen der ansteigenden Signalflanke des Taktsignals Clk und dem Zeitpunkt, an dem das Datensignal am
10 Ausgang 5 des Flip-Flops 1 anliegt, sehr gering. Dabei ist die Signalverzögerungszeit deutlich geringer als die Summe der Signalverzögerungszeiten eines herkömmlichen Flip-Flops mit einer Standardsignalpegel-Verschiebungsschaltung, wie sie
15 in Fig. 3 dargestellt ist.

Ein weiterer Vorteil der in Fig. 11 dargestellten ersten Ausführungsform des erfindungsgemäßen Flip-Flops 1 bzw. der erfindungsgemäßen Master-Latcheschaltung 10 besteht darin, dass
20 lediglich eine Versorgungsspannung V_B vorgesehen werden muss. Die Beabstandung der Bauelemente kann daher entsprechend gering sein, so dass der Flächenbedarf des erfindungsgemäßen Flip-Flops 1 bei Integration auf einem Chip ebenfalls gering ist. Das Vorsehen lediglich einer Versorgungsspannung V_B zur Versorgung des erfindungsgemäßen Flip-Flops 1 führt ferner zu einer Minimierung des schaltungstechnischen Aufwandes zur Verdrahtung des Flip-Flops mit der Versorgungsspannung.

Bei einer alternativen Ausführungsform der Master-Latch-Schaltung 10 ist der steuerbare Schalter 24 ein PMOS-
30 Transistor und die steuerbaren Schalter 26, 28 werden durch NMOS-Transistoren gebildet. Der Vorteil dieser Ausführungsform besteht darin, dass eine Invertierung des verzögerten Taktsignals Clk_{DELAY} nicht notwendig ist, so dass der Inverter
35 13 b entfällt.

Das erfindungsgemäße dynamische Flip-Flop 1 führt in der Regel eine Signalpegelerhöhung des anliegenden Datensignals durch.

5 Alternativ kann das erfindungsgemäße Flip-Flop auch eine Signalpegelerniedrigung des anliegenden Datensignals für nachgeschaltete Datensysteme herbeiführen. Der Logic
Decision Node 14 speichert die zugeführte Dateninformation
während einer halben Taktphasen $T_{clk}/2$. Hierdurch wird das er-
10 findungsgemäße dynamische Flip-Flop 1 besonders schnell und
verbraucht dabei nur eine geringe Fläche.

Fig. 13 zeigt eine zweite Ausführungsform des erfindungsgemäßen dynamischen Flip-Flops 1.

15

Bei der in Fig. 13 dargestellten Ausführungsform ist der Ausgang 17 der ersten Trennschaltung 12 über eine zweite getaktete Trennschaltung 29 an den Eingang der ersten Trennschaltung 12 rückgekoppelt. Dabei enthält die zweite Trennschaltung 29 einen Inverter und ein nachgeschaltetes Transmission-
20 Gate, welches mit dem verzögerten Taktsignal Clk_{DELAY} getaktet wird. Durch das Vorsehen der zweiten Trennschaltung 29 wird erreicht, dass die Ladung an dem Schaltungsknoten 14 aktiv auf dem aktuellen Spannungspegel gehalten wird. Liegt an dem Schaltungsknoten 14 ein hoher Spannungspegel an, kann es vor-
kommen, dass durch Leckströme oder Störsignale die Spannung an diesem Schaltungsknoten 14 abnimmt. Durch die Rückkopplung mittels der Trennschaltung 29 wird erreicht, dass die Ladung aktiv auf dem hohen Spannungspegel gehalten wird. Der Logic
30 Decision Node 14 speichert die Dateninformation nur während des Transparenzfensters ΔT , d.h. solange das Eingangssignal eingelesen wird. Während der Einlesephase erfolgt keine Rückkopplung durch die Trennschaltung 29.

35 Fig. 14 zeigt die Signalverzögerung des erfindungsgemäßen dynamischen Flip-Flops gemäß der zweiten Ausführungsform, wie sie in Fig. 13 dargestellt ist, in Abhängigkeit von der Set-

up-Zeit für zwei unterschiedliche Eingangsspannungspegel. Wie man durch Vergleich der Fig. 14 mit der Fig. 6 erkennen kann, ist die Signalverzögerungszeit des erfindungsgemäßen dynamischen Flip-Flops 1 gemäß der zweiten Ausführungsform geringer als die Signalverzögerungszeit eines herkömmlichen Standard-Flip-Flops.

Fig. 15 zeigt die Abhängigkeit der Signalverzögerung des erfindungsgemäßen dynamischen Flip-Flops 1 gemäß der zweiten Ausführungsformen, wie es in Fig. 13 dargestellt ist, für unterschiedliche Hold-Zeiten für drei verschiedene Eingangsspannungspegel. Wie man durch Vergleich mit Fig. 6 erkennen kann, ist die Signalverzögerung des erfindungsgemäßen Flip-Flops 1 im Vergleich zu einem Standard-Flip-Flop geringer.

Fig. 16 zeigt eine dritte Ausführungsform der erfindungsgemäßen Master-Latcheschaltung 10. Bei der in Fig. 16 dargestellten dritten Ausführungsform weist die Master-Latcheschaltung 10 nicht mehr drei in Reihe geschaltete NMOS-Transistoren 24, 26, 28 auf, sondern lediglich einen NMOS-Transistor 30, der über eine Steuerleitung 31 von einer Logikschaltung 32 angesteuert wird. Die Logikschaltung 32 verknüpft logisch das Taktsignal Clk, welches an dem Taktsignaleingang 2 anliegt, das Datensignal D, welches an dem Datensignaleingang 3 anliegt, und das durch die Signalverzögerungsschaltung 13 verzögerte und invertierte Taktsignal Clk_{DELAY} . Wenn das anliegende Taktsignal Clk und das verzögerte invertierte Taktsignal Clk_{DELAY} sowie das anliegende Datensignal D alle logisch hoch sind, wird der NMOS-Transistor 30 durch die Logikschaltung 32 durchgeschaltet, so dass die Kapazität 15 in der Auswertephase entladen wird. Die Logikschaltung 32 besteht bei dieser Ausführungsform aus einer logischen UND-Verknüpfung der drei anliegenden Signale.

Die erfindungsgemäßen dynamischen Flip-Flops 1, wie sie in den Fig. 11, 13, 16 dargestellt worden sind, weisen eine sehr geringe Signalverzögerungszeit auf. Bestehen bei einem kom-

plexen digitalen System mehrere parallel verlaufende Signalpfade, bildet der längste Signalpfad einen kritischen Signalpfad. Der zeitkritische Signalpfad wird mit einer hohen Versorgungsspannung V_B mit Spannung versorgt. Die übrigen Signalpfade werden, um Energie zu sparen, mit einer relativ niedrigen Versorgungsspannung V_A mit Spannung versorgt. Damit am Ausgang der mit niedriger Spannung versorgten unkritischen Signalpfade ebenfalls ein hoher Spannungspegel anliegt, werden innerhalb der nicht kritischen Signalpfade Flip-Flops mit integrierter Signalpegelverschiebungsfunktion eingesetzt, wie es beispielsweise in Fig. 8 dargestellt ist. Weist ein unkritischer Pfad nur eine geringfügig kürzere Signalverzögerung als der kritische Signalpfad auf, kann nach dem Stand der Technik ein derartiges Flip-Flop mit integrierter Signalpegelerhöhung nicht eingesetzt werden, da aufgrund der relativ hohen Signallaufzeitverzögerung des Flip-Flops die Signallaufzeit des unkritischen Signalpfades bei Einsetzen des Flip-Flops über der gesamten Signallaufzeit des kritischen Signalpfades liegt.

Mit dem erfindungsgemäßen dynamischen Flip-Flop 1 ist es möglich, auch zeitunkritische Signalpfade, deren Signallaufzeit nur unwesentlich unterhalb der Signallaufzeit des kritischen Signalpfades liegt, ebenfalls mit einem erfindungsgemäßen Flip-Flop 1 zur Signalpegelerhöhung zu versehen, da das erfindungsgemäße Flip-Flop 1 nur eine sehr geringe Signallaufzeit aufweist und somit die Signallaufzeit des unkritischen Signalpfades nur sehr geringfügig erhöht, so dass sie immer noch unterhalb der gesamten Signallaufzeit des kritischen Signalpfades liegt. Ein Vorteil des erfindungsgemäßen dynamischen Flip-Flops 1 für die Signalpegelerhöhung besteht daher darin, dass die Anzahl der unkritischen Signalpfade, die mit einer niedrigen Versorgungsspannung V_A versorgt werden können, erheblich gesteigert werden kann.

Das erfindungsgemäße dynamische Flip-Flop 1 funktioniert für einen weiten Bereich von Eingangsspannungen und unterscheidet

sich dadurch von herkömmlichen Signalpegelverschiebungsschaltungen, die oft nur einen engen Spannungsbereich erlauben.

5 Das erfindungsgemäße dynamische Flip-Flop 1 zeichnet sich durch eine geringe Signalverzögerung, einen geringen Chipflächenbedarf und eine sehr geringe Verlustleistung aus.

Patentansprüche

1. Master-Latcheschaltung mit Signalpegelverschiebung für ein Flip-Flop, das durch ein Taktsignal (Clk) getaktet wird,
5 wobei die Master-Latcheschaltung (10) aufweist:
(a) eine Signalverzögerungsschaltung (13), die das anliegende Taktsignal (Clk) mit einer bestimmten Zeitverzögerung (ΔT) verzögert; und
(b) einen Schaltungsknoten (14), der in einer Aufladephase,
10 in der das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung (V_B) aufgeladen wird, und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte Taktsignal (Clk_{DELAY}) logisch hoch sind, abhängig von einem anliegenden Datensignal (D), entladbar ist.
15
2. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Schaltungsknoten (14) in der Auswertephase entladen wird, wenn das anliegende Datensignal (D) logisch hoch ist,
20 und dass der Schaltungsknoten (14) in der Auswertephase nicht entladen wird, wenn das anliegende Datensignal (D) logisch niedrig ist.
3. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Schaltungsknoten (14) über eine Kapazität (15) an einem Referenzpotenzial (GND) anliegt.
4. Master-Latcheschaltung nach Anspruch 3,
30 d a d u r c h g e k e n n z e i c h n e t ,
dass die Kapazität (15) eine parasitäre Kapazität ist.
5. Master-Latcheschaltung nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t ,
35 dass die Kapazität (15) durch einen Kondensator gebildet ist.
6. Master-Latcheschaltung nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,
dass der Schaltungsknoten (14) mit einem Eingang einer ersten
Trennschaltung (12) verbunden ist, die durch das Taktsignal
(Clk) getaktet wird.

5

7. Master-Latcheschaltung nach Anspruch 6,
d a d u r c h g e k e n n z e i c h n e t ,
dass die erste Trennschaltung (12) einen Ausgang aufweist,
der mit einer Slave-Latcheschaltung (11) verbunden ist, welche
10 das Ausgangssignal der Master-Latcheschaltung (10) zwischen-
speichert.

15

8. Master-Latcheschaltung nach Anspruch 7,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Slave-Latcheschaltung (11) ein Inverter (18) nachge-
schaltet ist.

20

9. Master-Latcheschaltung nach Anspruch 6 bis 8,
d a d u r c h g e k e n n z e i c h n e t ,
dass der Ausgang der ersten Trennschaltung (12) über eine
zweite getaktete Trennschaltung (29) an den Eingang der ers-
ten Trennschaltung (12) rückgekoppelt ist, wobei die zweite
Trennschaltung (29) mit dem verzögerten Taktsignal ($\text{Clk}_{\text{DELAY}}$)
getaktet wird.

30

10. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Master-Latcheschaltung (10) einen ersten steuerbaren
Schalter (19) aufweist, der durch das invertierte Taktsignal
($\overline{\text{Clk}}$) angesteuert wird, und der die anliegende Betriebsspan-
nung (V_B) an den Schaltungsknoten (14) schaltet, wenn das
Taktsignal (Clk) logisch niedrig ist.

35

11. Master-Latcheschaltung nach Anspruch 10,
d a d u r c h g e k e n n z e i c h n e t ,
dass der erste steuerbare Schalter (19) ein PMOS-Transistor
ist.

12. Master-Latcheschaltung nach Anspruch 1,
dadurch gekennzeichnet,
dass die Master-Latcheschaltung (10)

5 einen zweiten steuerbaren Schalter (24),
einen dritten steuerbaren Schalter (26), und
einen vierten steuerbaren Schalter (28) aufweist,
die zueinander in Reihe zwischen dem Schaltungsknoten (14)
und dem Referenzpotenzial (GND) geschaltet sind.

10 13. Master-Latcheschaltung nach Anspruch 12,
dadurch gekennzeichnet,
dass der zweite steuerbare Schalter (24) durch das verzögerte
invertierte Taktsignal (\overline{Clk}_{DELAY}) angesteuert wird.

15 14. Master-Latcheschaltung nach Anspruch 12,
dadurch gekennzeichnet,
dass der dritte steuerbare Schalter (26) durch das anliegende
Datensignal (D) angesteuert wird.

20 15. Master-Latcheschaltung nach Anspruch 12,
dadurch gekennzeichnet,
dass der vierte steuerbare Schalter (28) durch das Taktsignal
(Clk) angesteuert wird.

25 16. Master-Latcheschaltung nach Anspruch 13 bis 15,
dadurch gekennzeichnet,
dass der zweite, dritte und vierte Schalter (24, 26, 28)
NMOS-Transistoren sind.

30 17. Master-Latcheschaltung nach Anspruch 12,
dadurch gekennzeichnet,
dass parallel zu dem zweiten, dritten und vierten Schalter
(24, 26, 28) die Kapazität (15) geschaltet ist.

35 18. Master-Latcheschaltung nach Anspruch 1,
dadurch gekennzeichnet,

dass die Zeitverzögerung (ΔT) der Signalverzögerungsschaltung (13) einstellbar ist.

5 19. Master-Latcheschaltung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,
dass die Zeitkonstante (τ), mit welcher die Kapazität (15) über die seriell verschalteten Schalter (24, 26, 28) während der Auswertephase entladen wird, wenn das anliegende Datensignal (D) logisch hoch ist, kleiner ist als die Zeitverzögerung (ΔT) der Signalverzögerungsschaltung ($\tau < \Delta T$).

15 20. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Zeitverzögerung (ΔT) der Signalverzögerungsschaltung (13) kleiner ist als die Zeitperiode des Taktsignals (Clk) ($\Delta T \ll T_{Clk}$).

20 21. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Signalverzögerungsschaltung (13) durch mehrere in Reihe geschaltete Inverterstufen gebildet ist.

22. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass das Datensignal (D) steuerbare Schalter (24, 26, 28) ansteuert, die Transistoren des gleichen Typs (NMOS; PMOS) sind.

30 23. Master-Latcheschaltung nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
dass die Master-Latcheschaltung (10) nur eine einzige Versorgungsspannung aufweist.

35 24. Flankengetriggertes Flip-Flop mit
einer Master-Latcheschaltung (10) nach Anspruch 1,

einer Slave-Latcheschaltung (11) zum Zwischenspeichern des Ausgangssignals der Master-Latcheschaltung (10) und mit einer getakteten Trennschaltung (12) zum Trennen der Master-Latcheschaltung (10) von der Slave-Latcheschaltung (11).

Zusammenfassung

Master-Latcheschaltung mit Signalpegelverschiebung für ein dynamisches Flip-Flop

5

Master-Latcheschaltung (10) mit Signalpegelverschiebung für ein Flip-Flop (1), das durch ein Taktsignal (Clk) getaktet wird,

wobei die Master-Latcheschaltung (10) aufweist:

10

eine Signalverzögerungsschaltung (13), die das anliegende Taktsignal (Clk) mit einer bestimmten Zeitverzögerung (ΔT) verzögert und invertiert; und

15

einen Schaltungsknoten (14), der in einer Aufladephase, in der das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung (V_B) aufgeladen wird, und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte invertierte Taktsignal ($\overline{Clk_{DELAY}}$) logisch hoch sind, abhängig von einem anliegenden Datensignal (D) entladbar ist wobei das Datensignal nur Transistoren eines einzigen Typs (entweder nur N- oder nur P-Kanal) ansteuert. Die Master-Latcheschaltung (10) weist nur eine einzige Versorgungsspannung auf.

20

Fig. 11

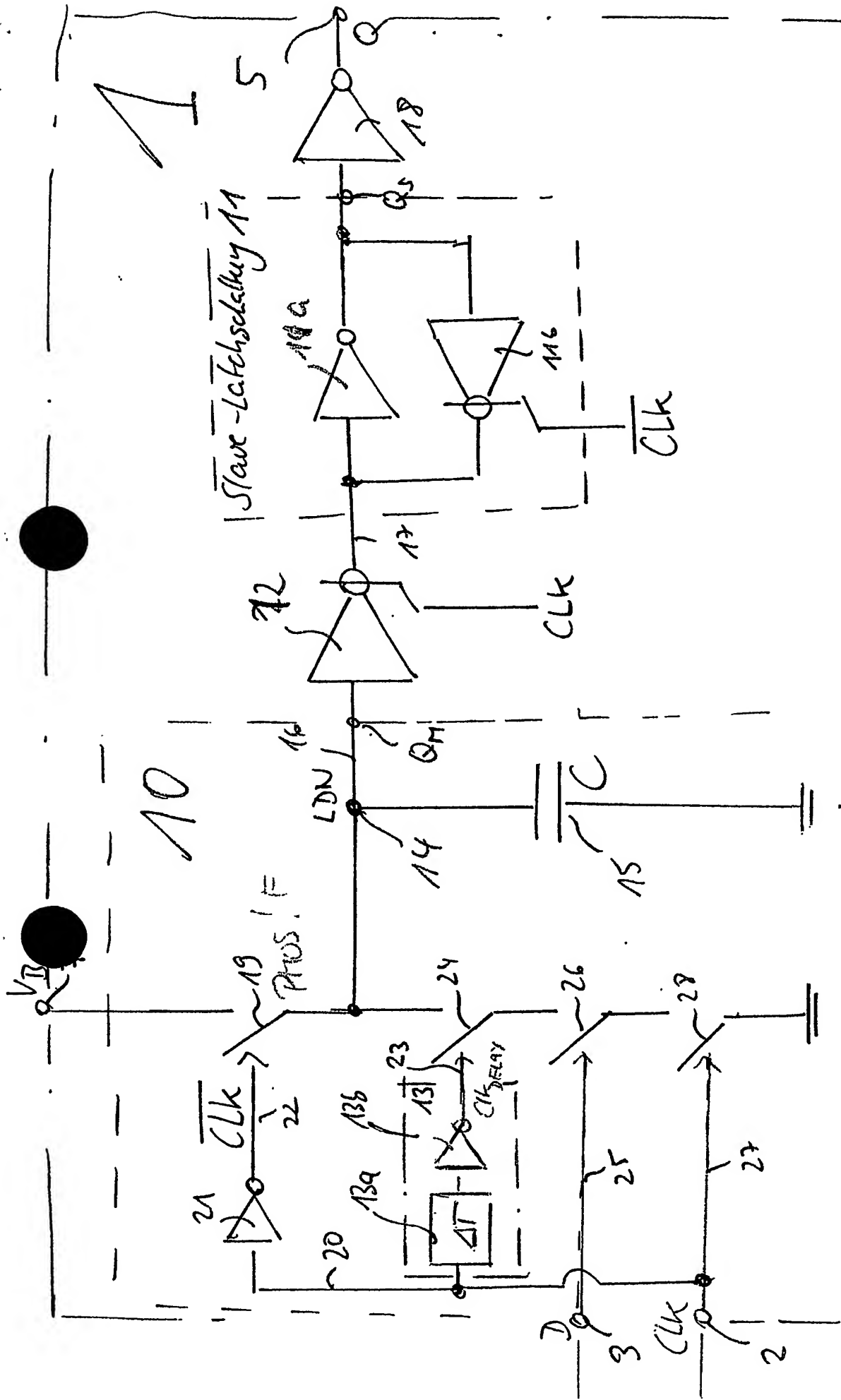


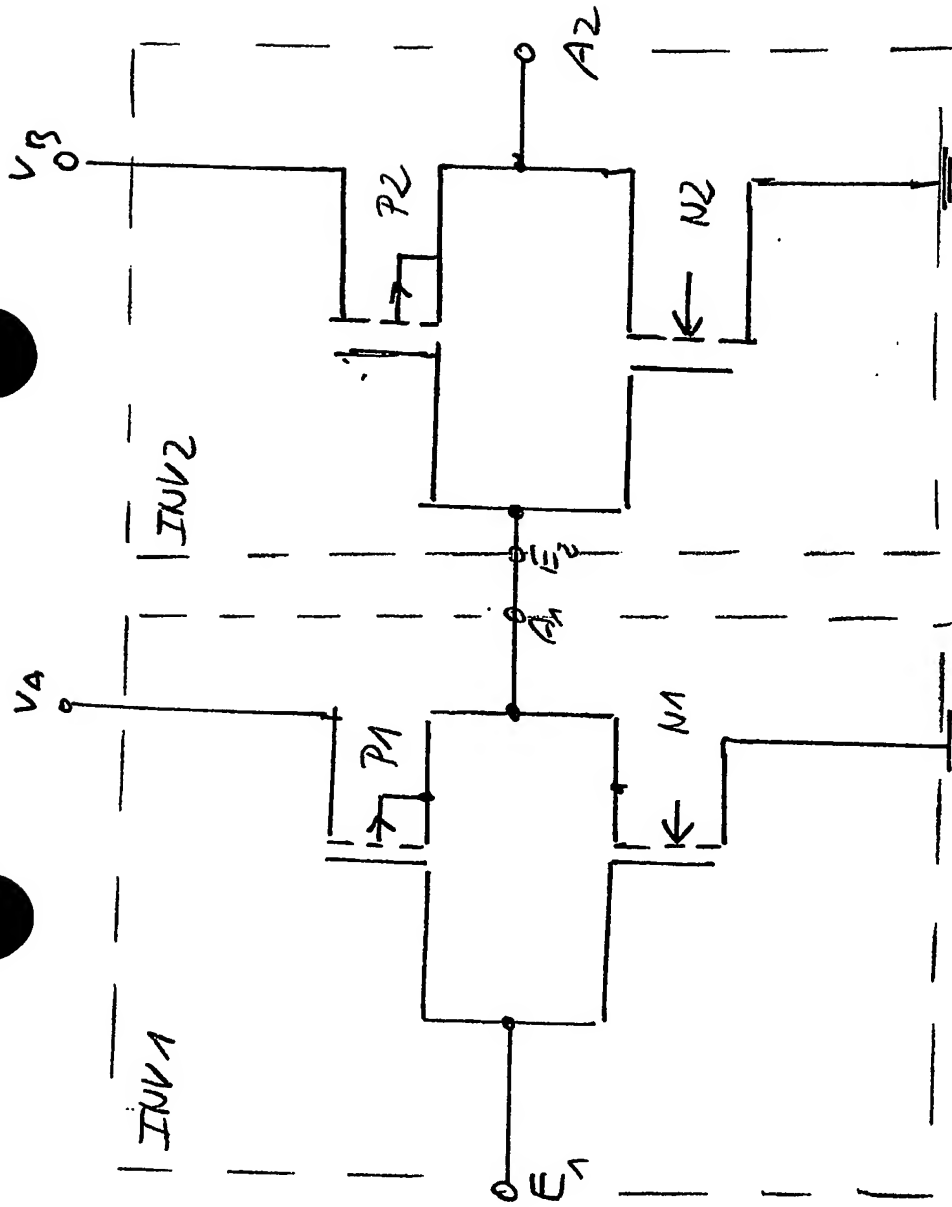
Fig. 1A

1. Aspirationstest

Bezugszeichenliste

	1	Dynamisches Flip-Flop
	2	Taktsignaleingang
5	3	Datensignaleingang
	4	Leitung
	5	Datenausgang
	6	Leitung
	7	Versorgungsspannungsanschluss
10	8	Versorgungsspannungsleitung
	9	Digitale Logik
	10	Master-Latcheschaltung
	11	Slave-Latcheschaltung
	12	Trennschaltung
15	13	Signalverzögerungsschaltung
	13a	Inverterkette
	13b	Inverterstufe
	14	Dynamischer Knoten
	15	Kapazität
20	16	Leitung
	17	Leitung
	18	Inverter
	19	Steuerbarer Schalter
	20	Leitung
	21	Inverter
	22	Steuerleitung
	23	Steuerleitung
	24	Steuerbarer Schaltung
	25	Steuerleitung
30	26	Steuerbarer Schaltung
	27	Steuerleitung
	28	Steuerbarer Schaltung
	29	Kopplungstrennschaltung
	30	Steuerbarer Schalter
35	31	Steuerleitung
	32	Logikschaltung

1/16



Standard
Technik

Fig 1

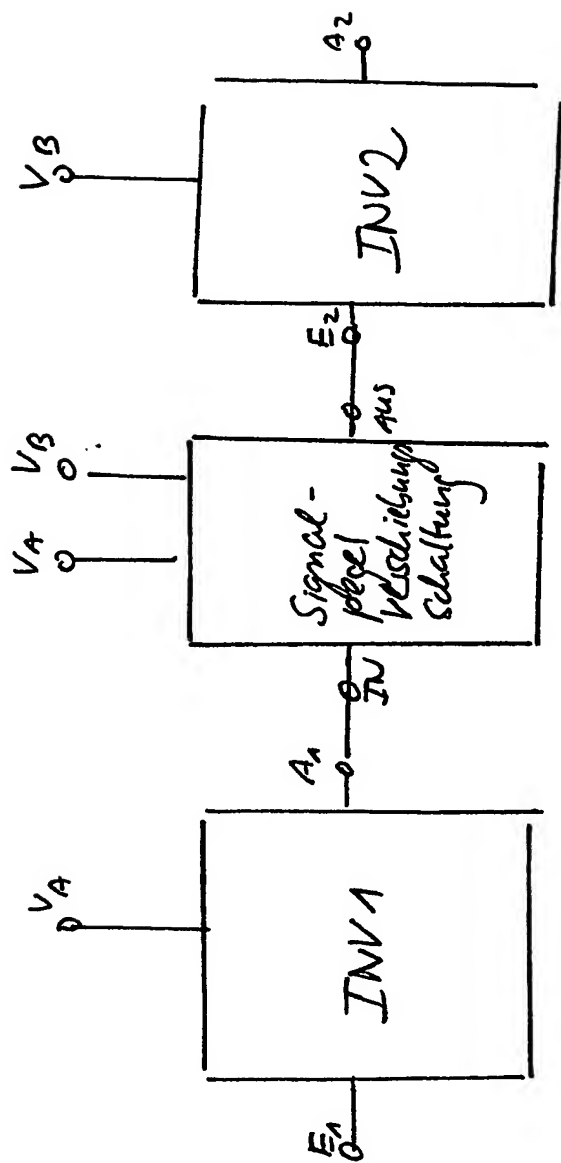


Fig. 2

Stand der
Technik

3/16

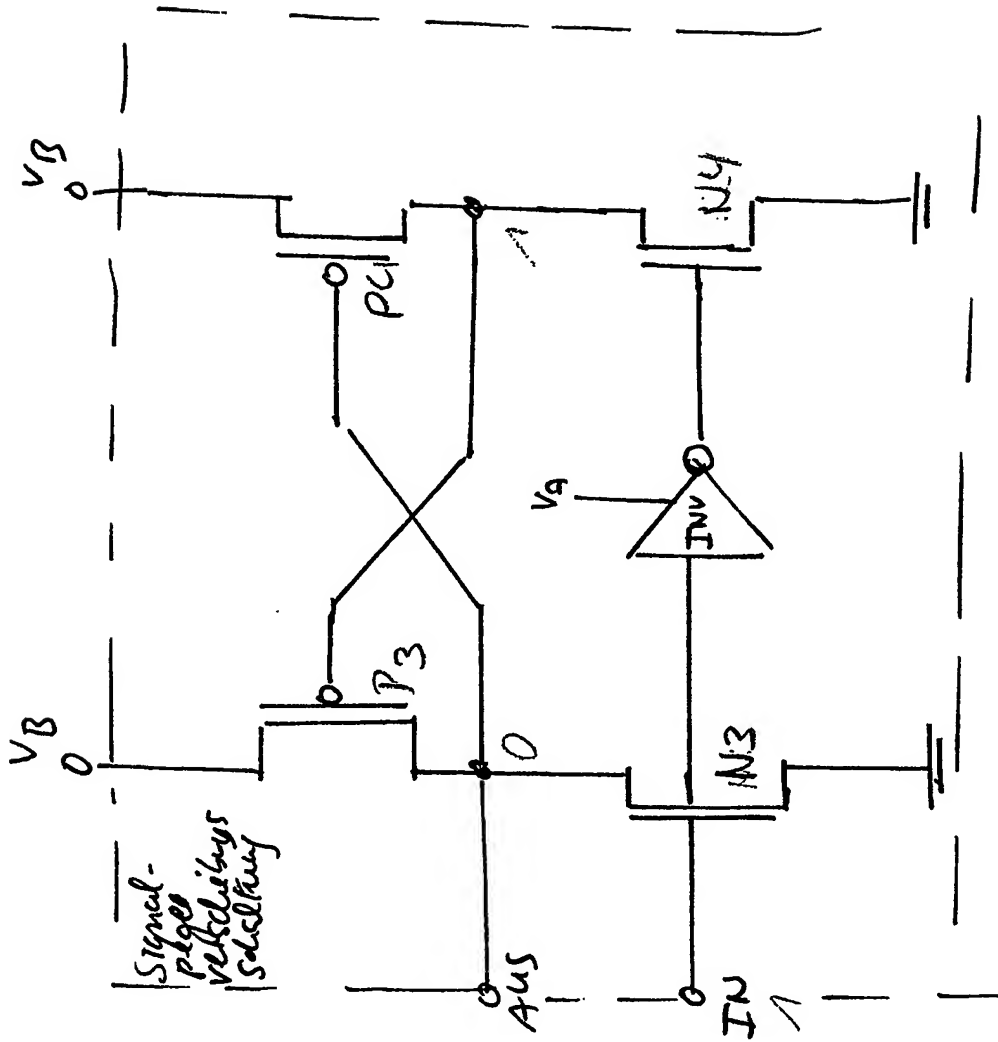


Fig. 3

Standard
Technik

Flanhenzelbriggester Flip Flop

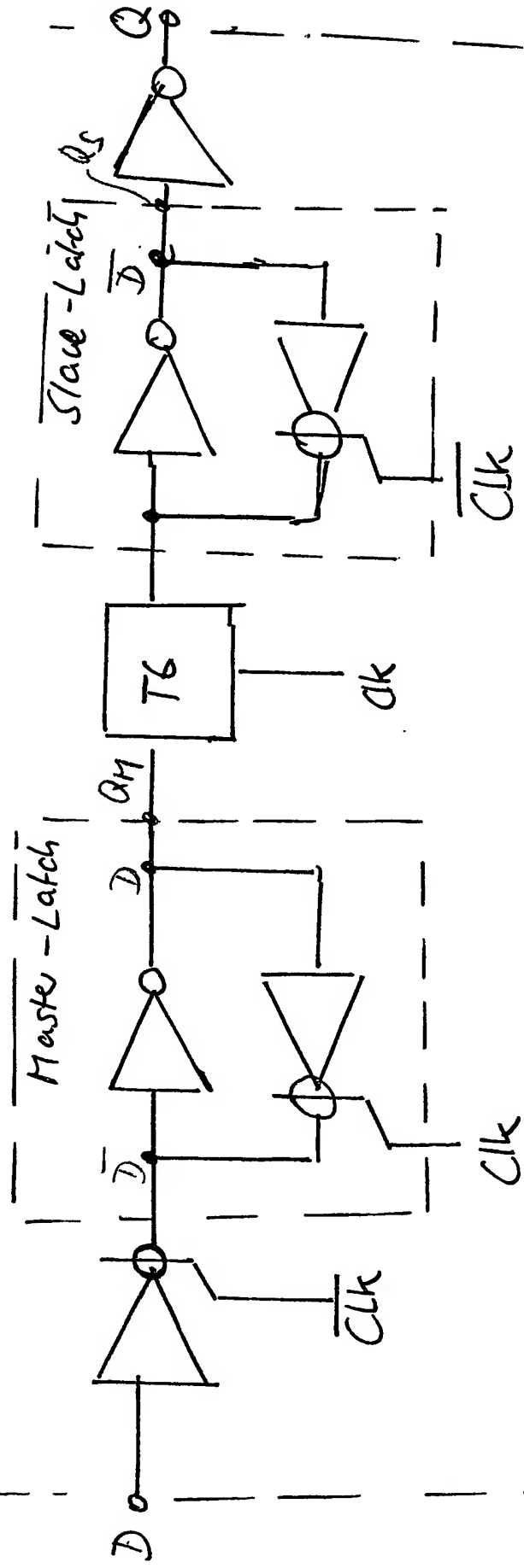


Fig 4

Stand der
Technik

5/16

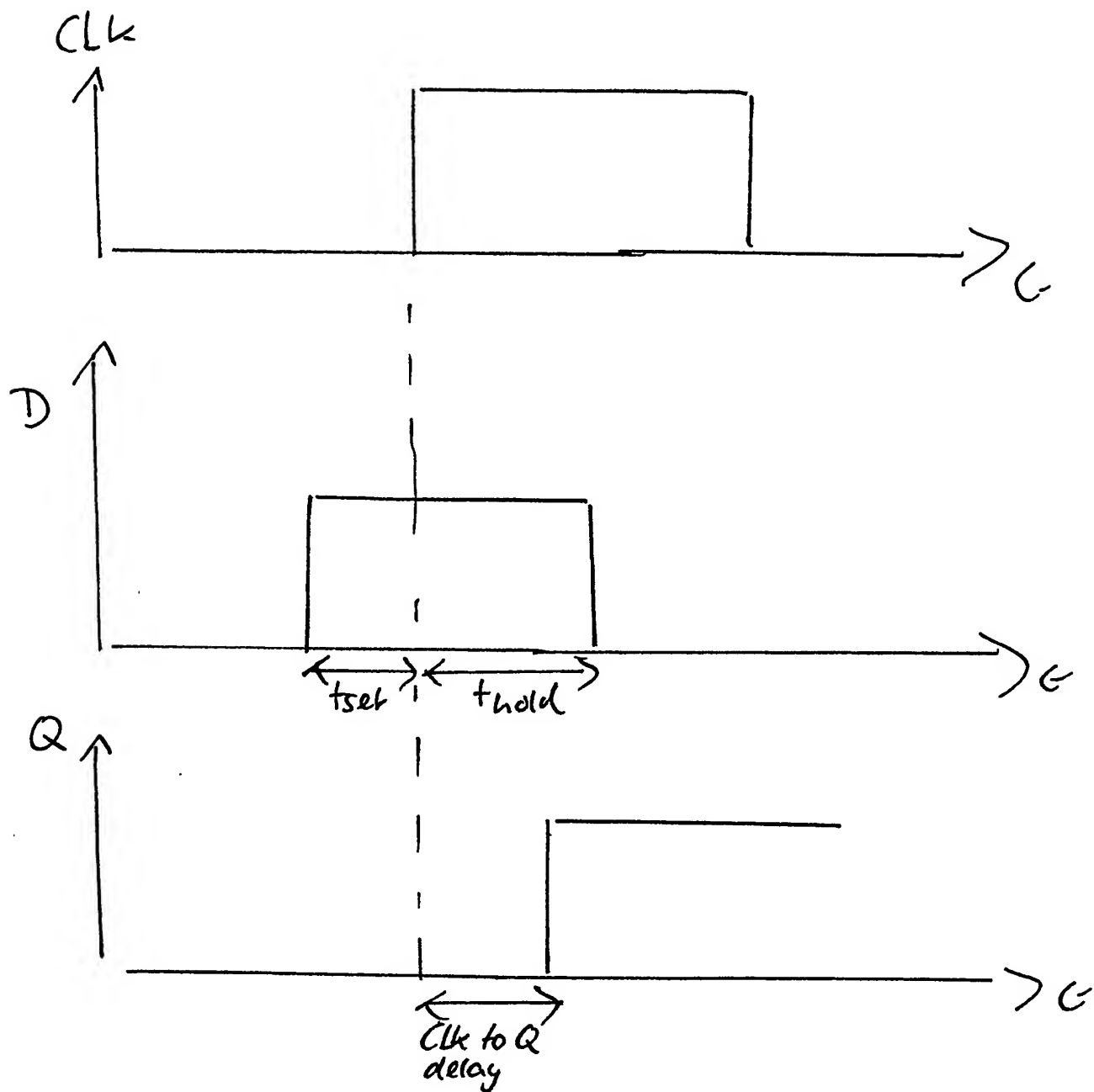


Fig. 5

Stand
de Techniek

6/16

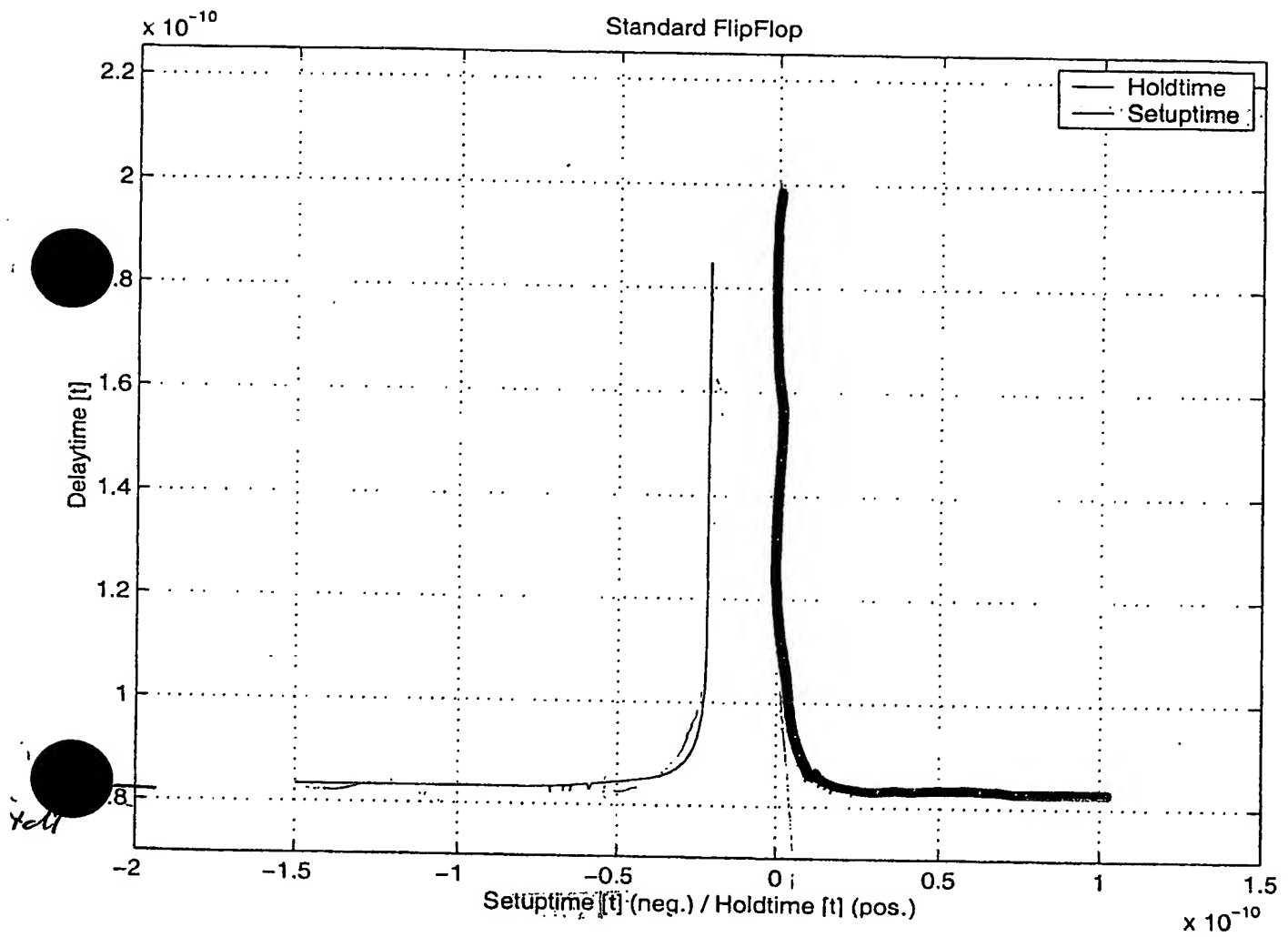


Fig. 6

Stand de Technologie

7/16

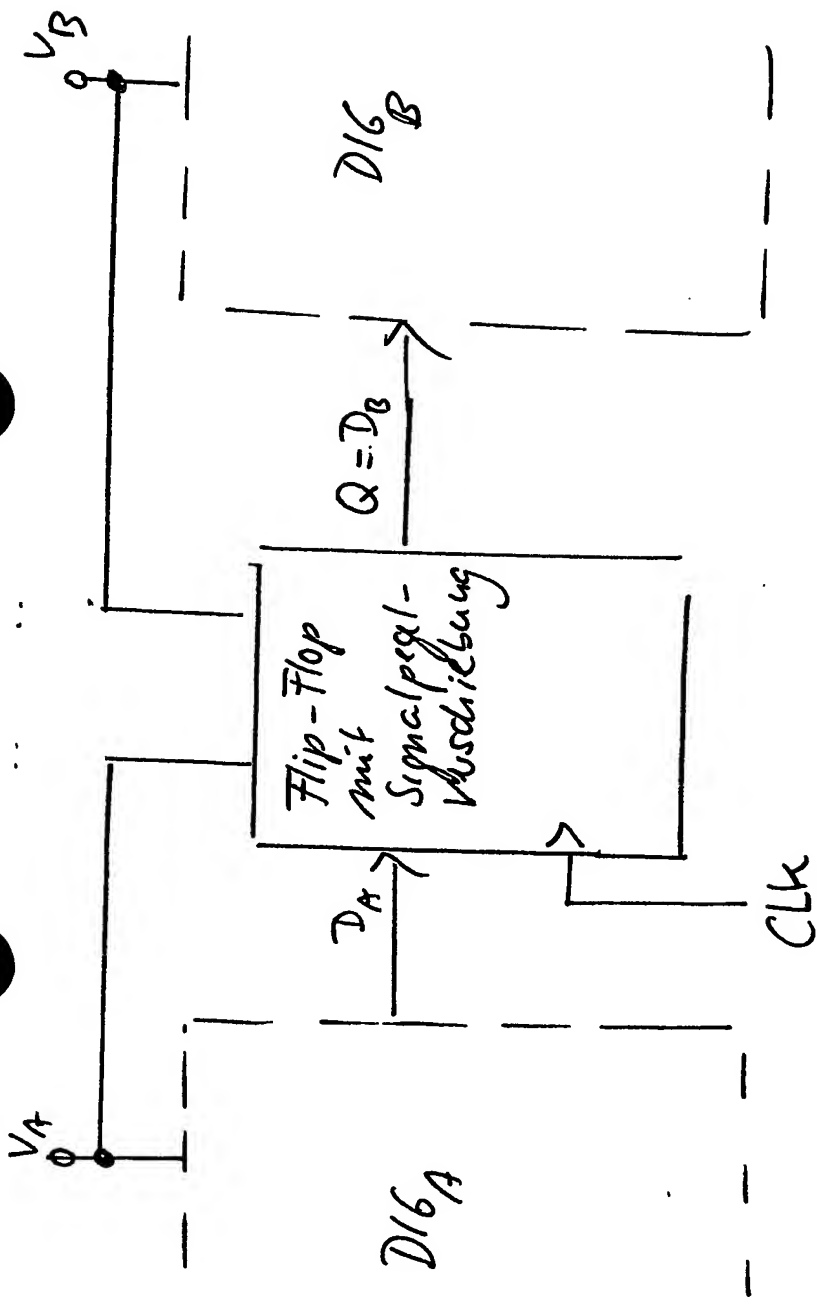


Fig. 7

Grund der
Technik

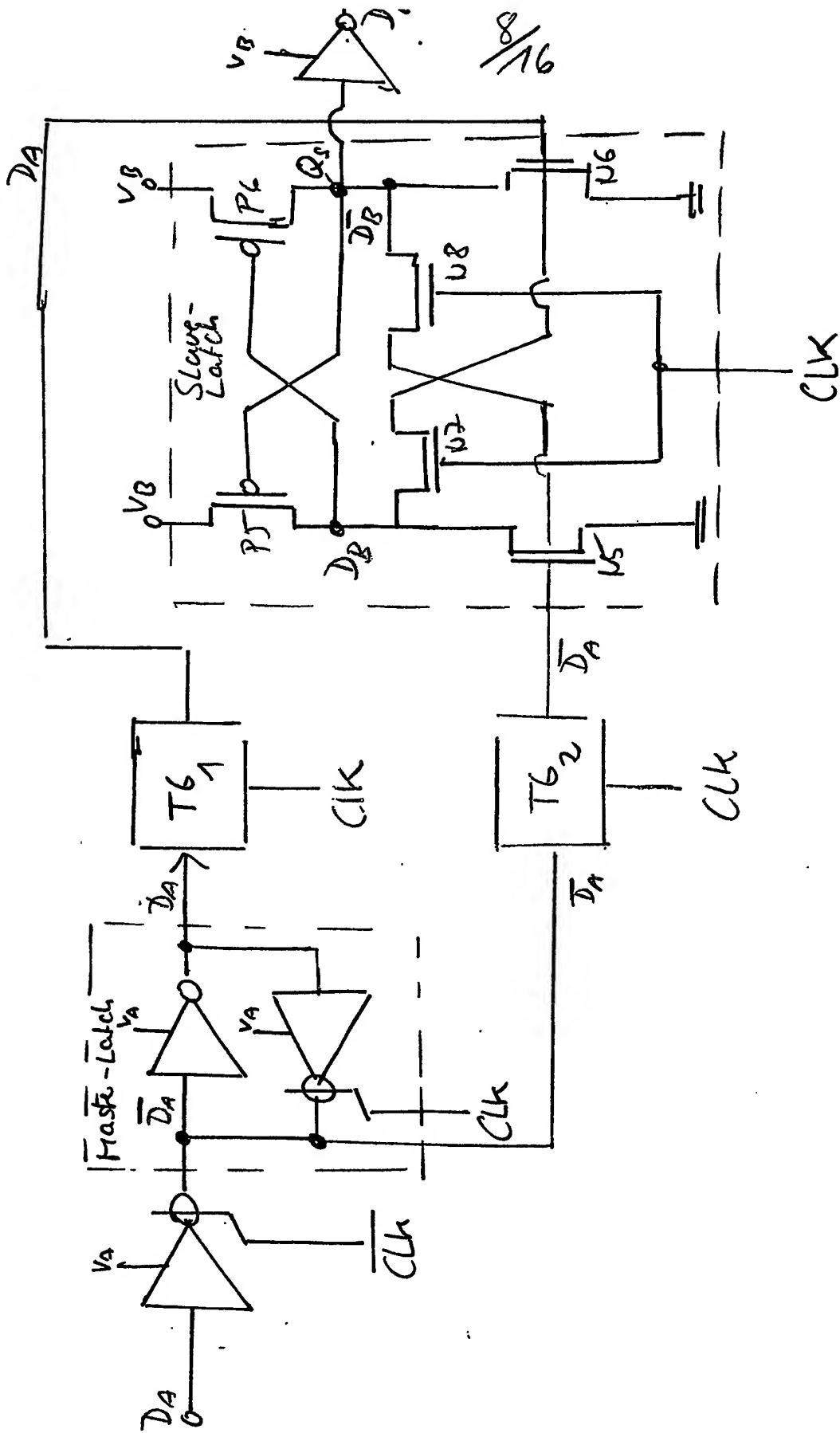


Fig. 8

Hand drawn
Technique

9/16

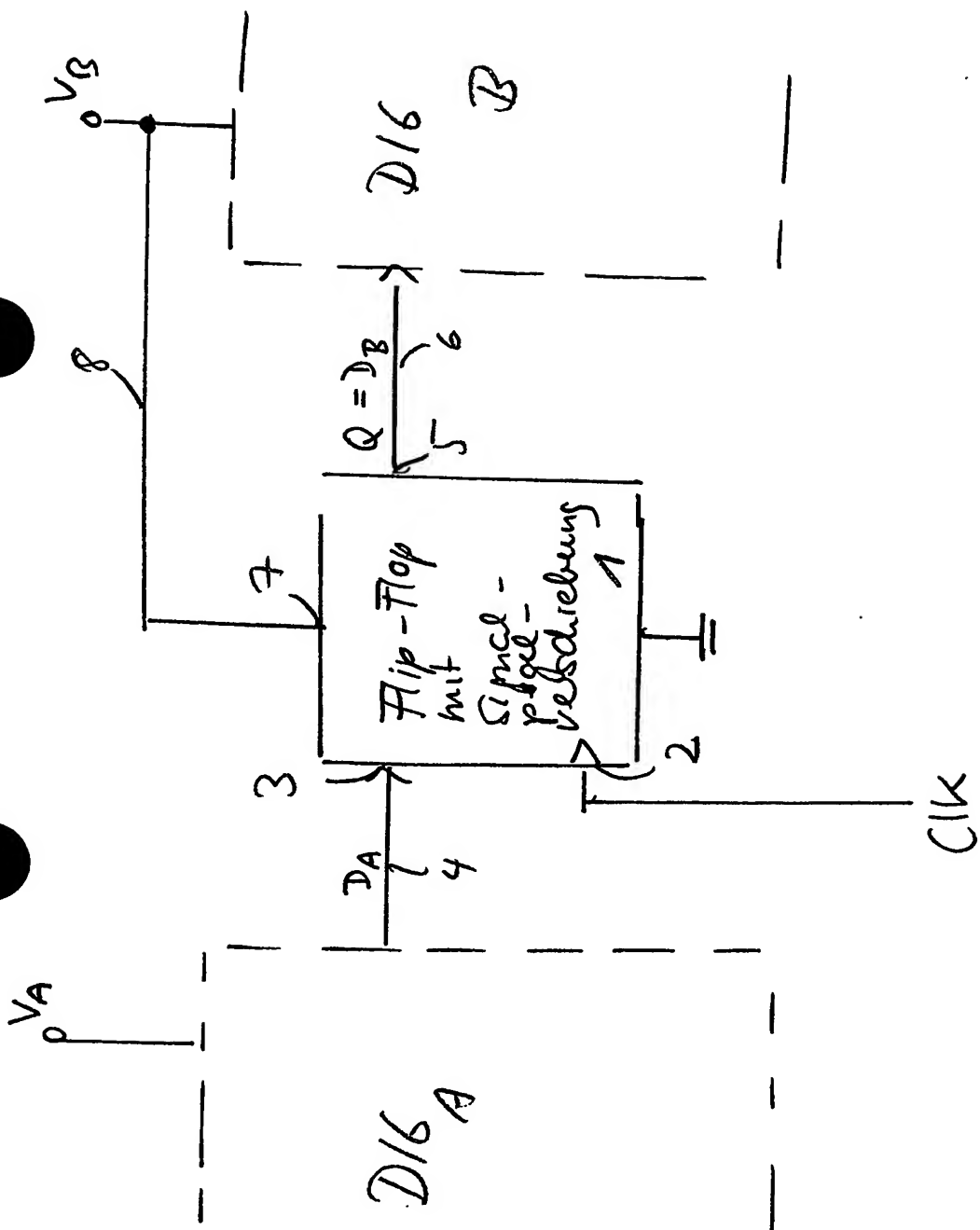


Fig 9

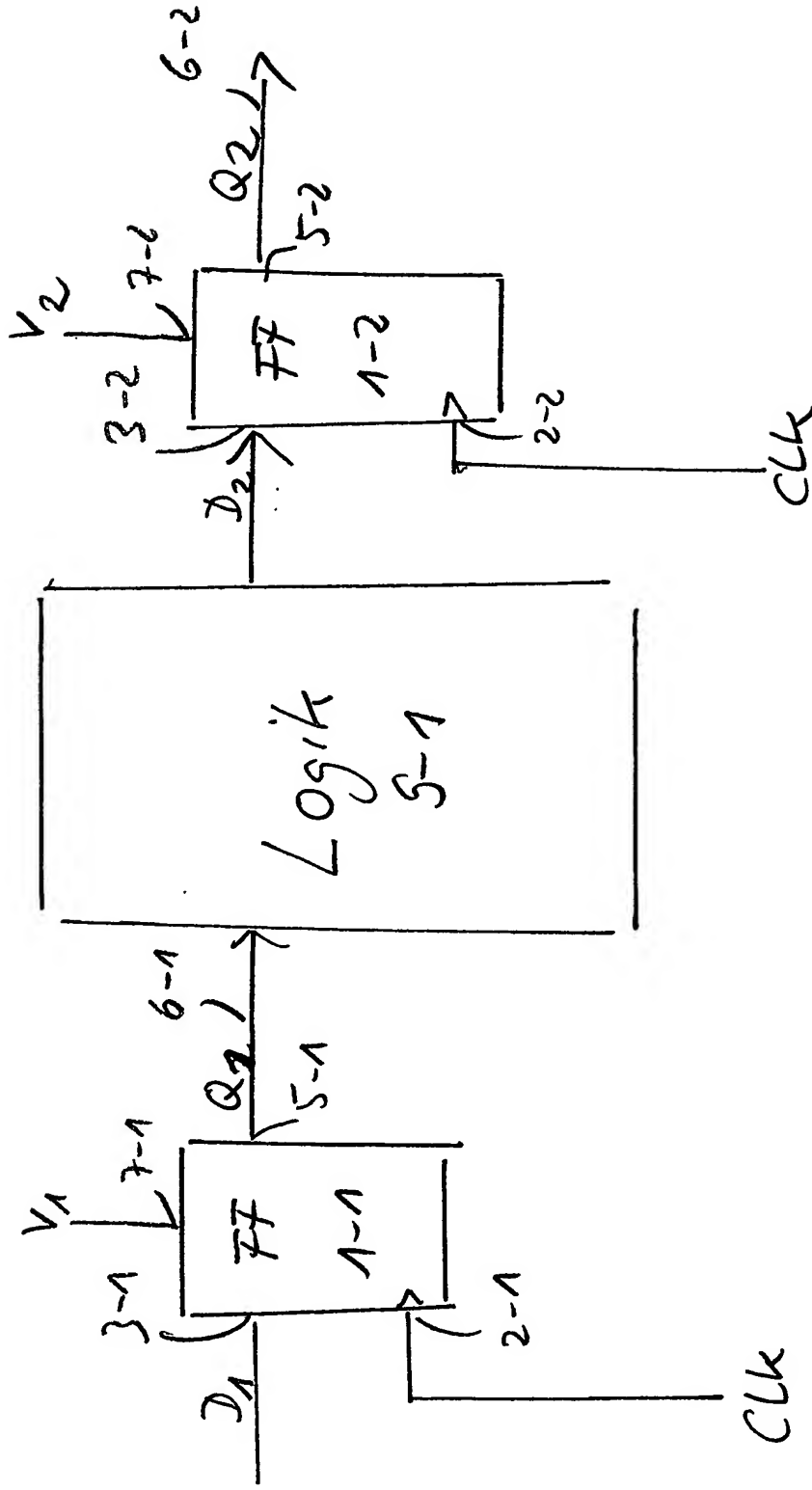


Fig. 10

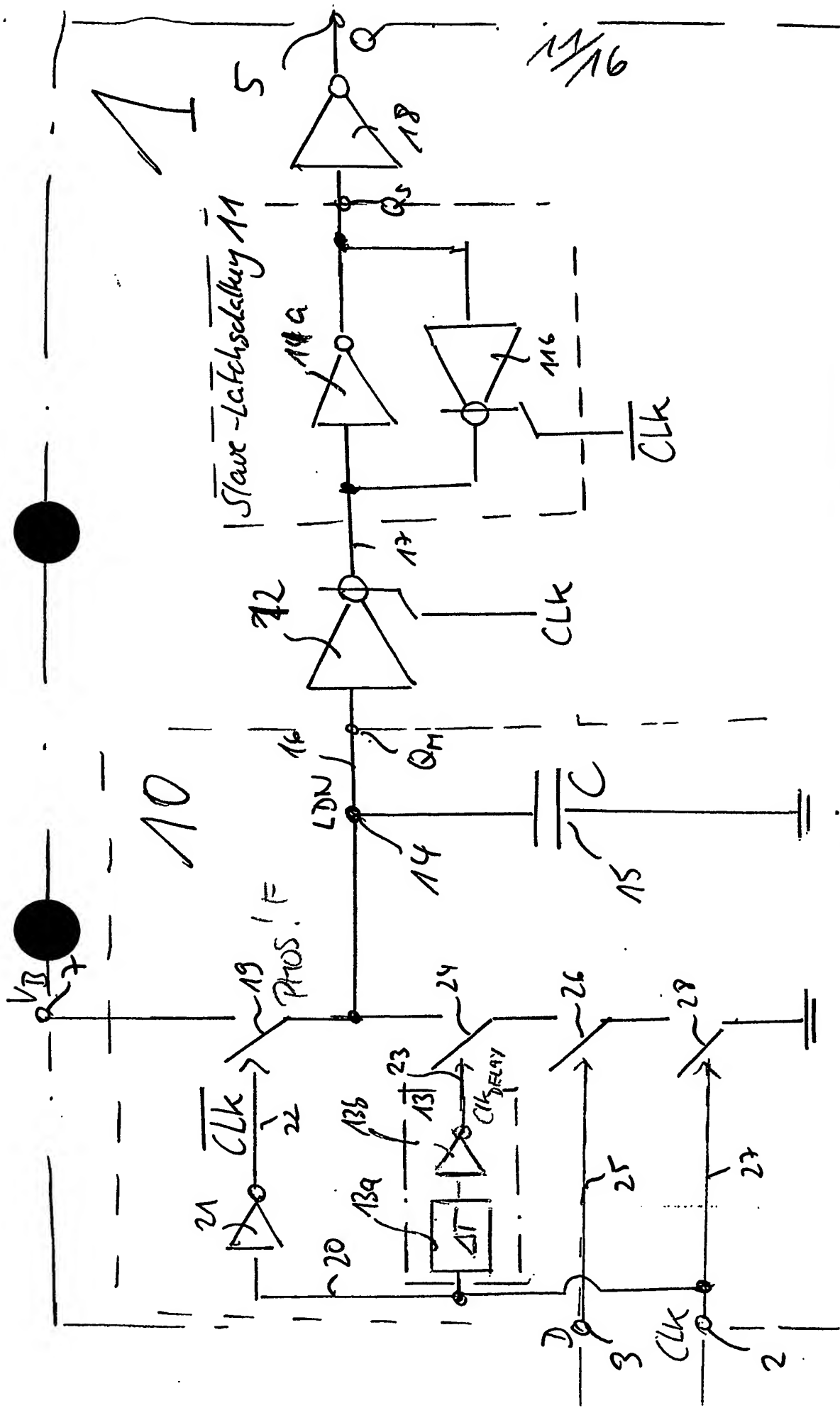
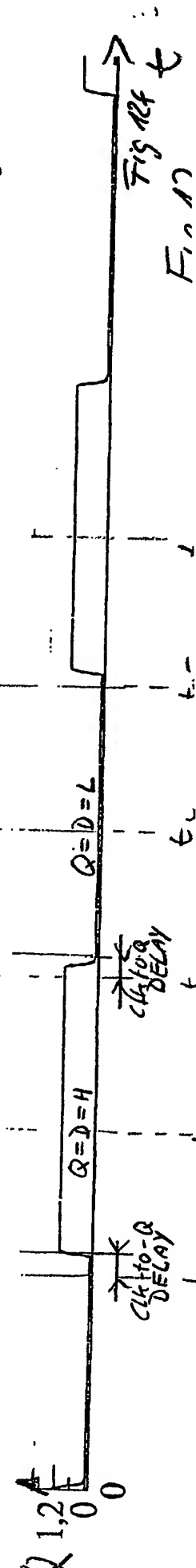
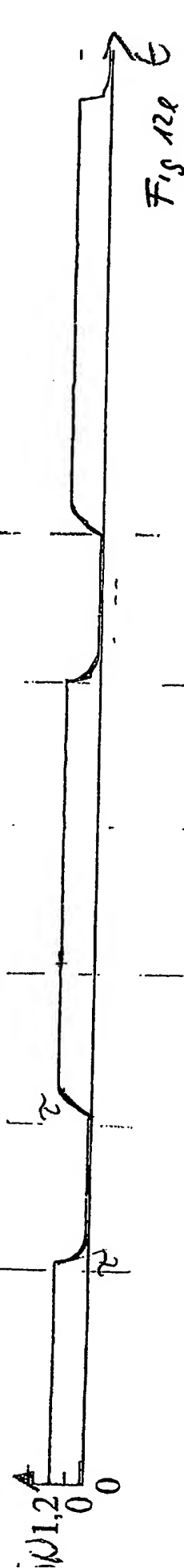
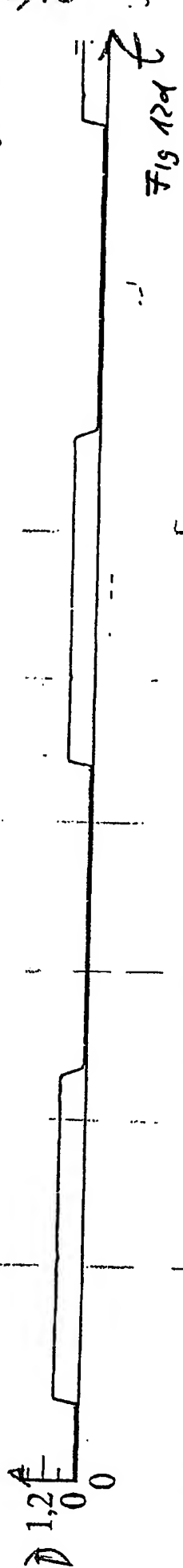
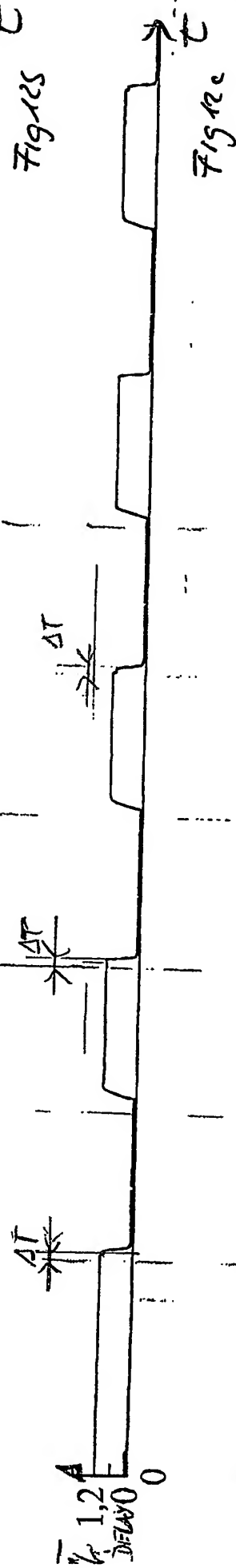
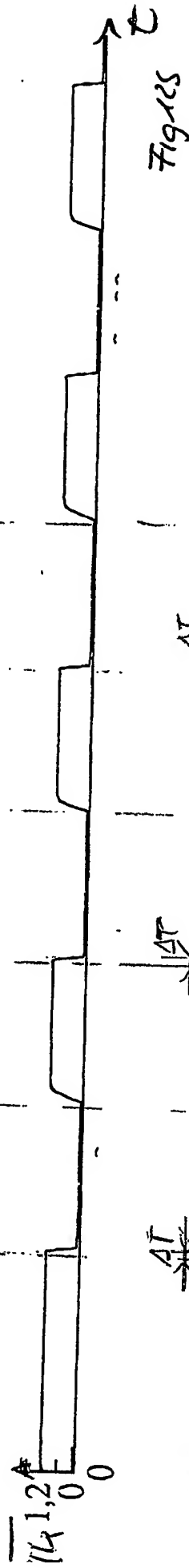
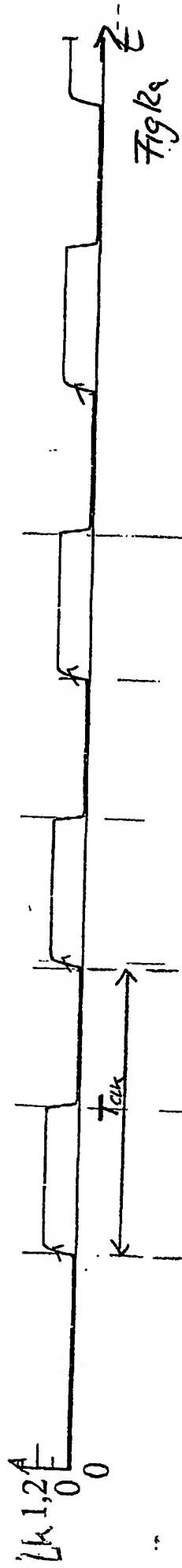


Fig. 11

1. Ausfüllungsform



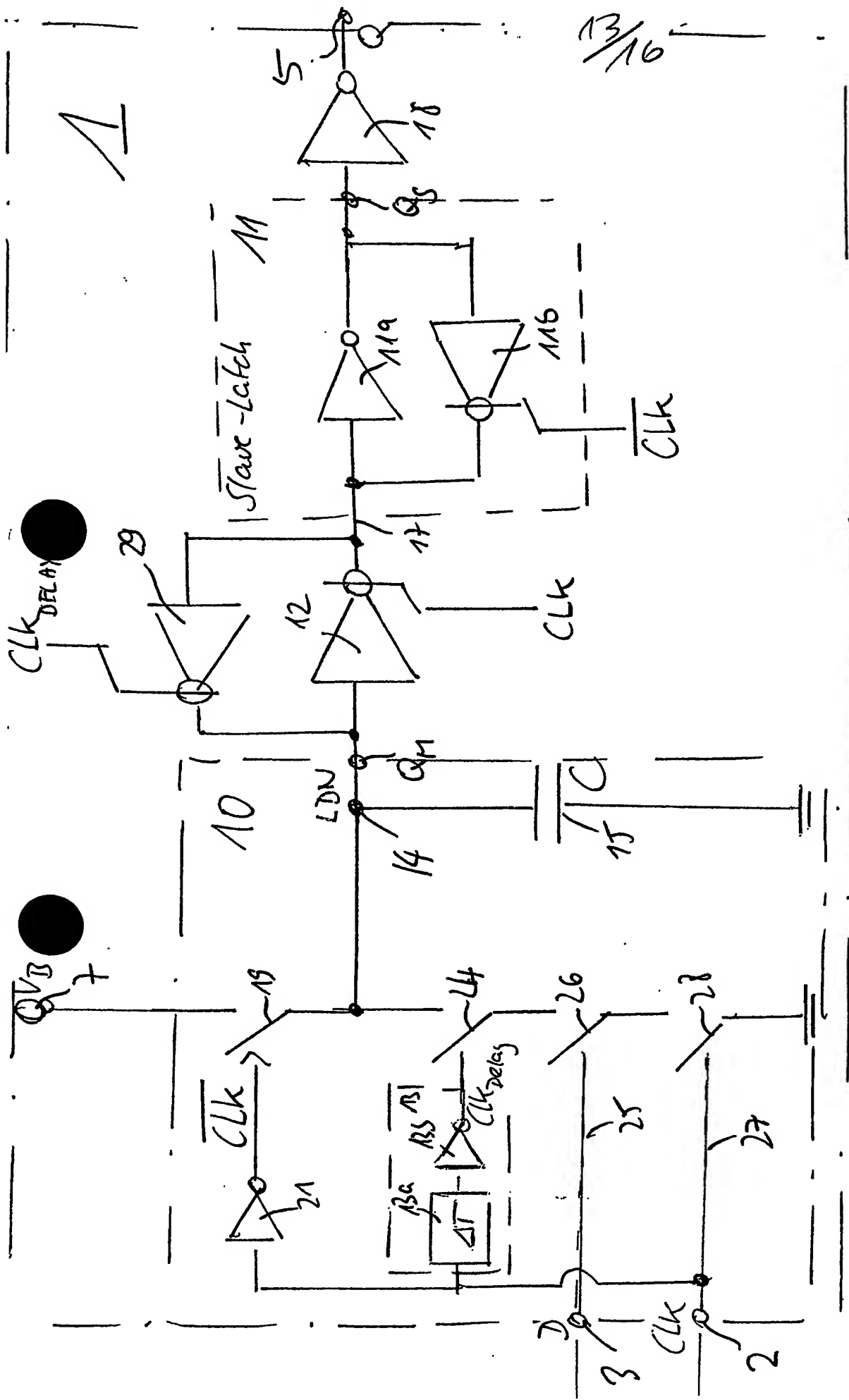


Fig 13

2. Ausprägungsform

14/16

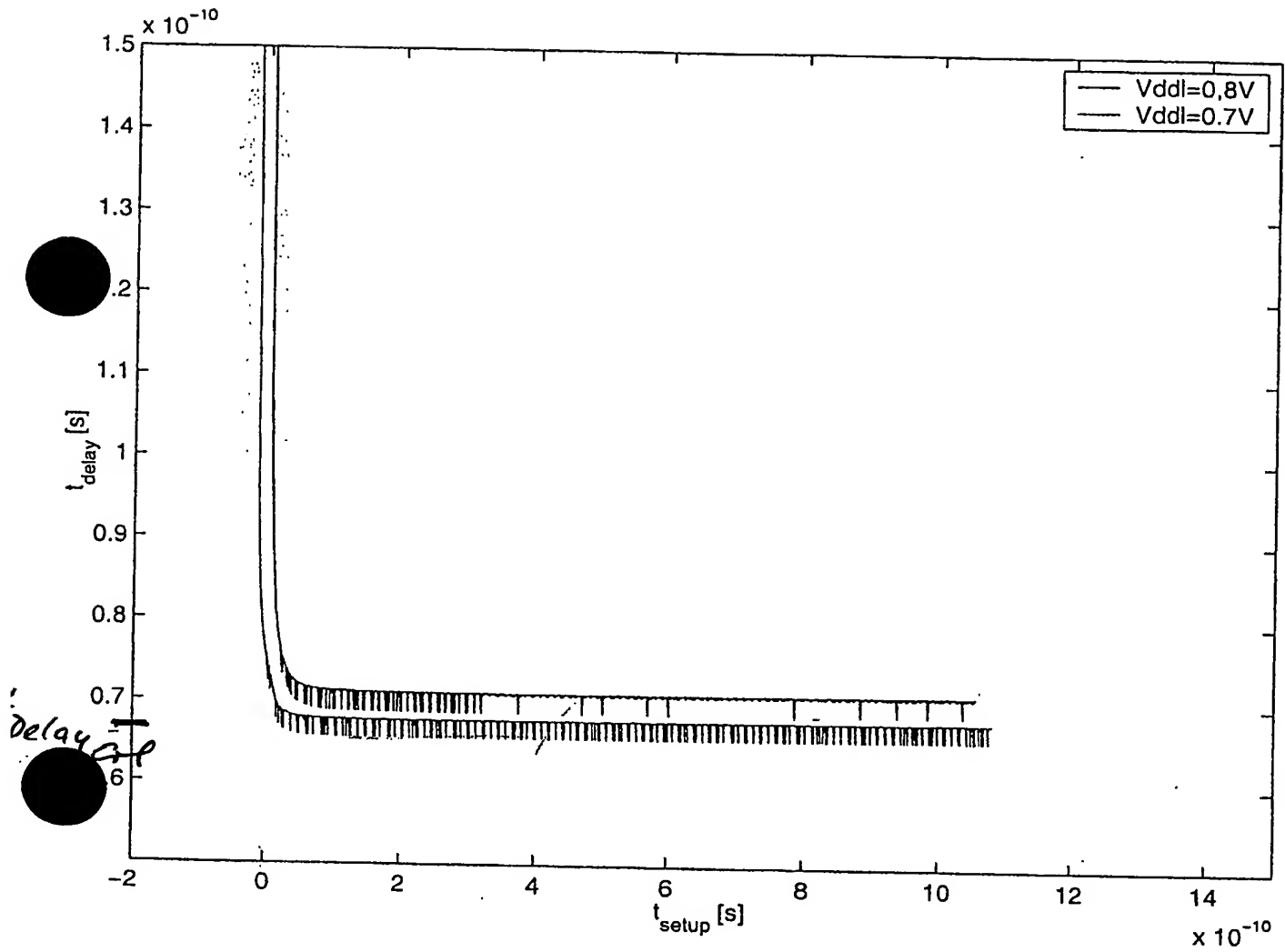


Fig 14

15
/ 16

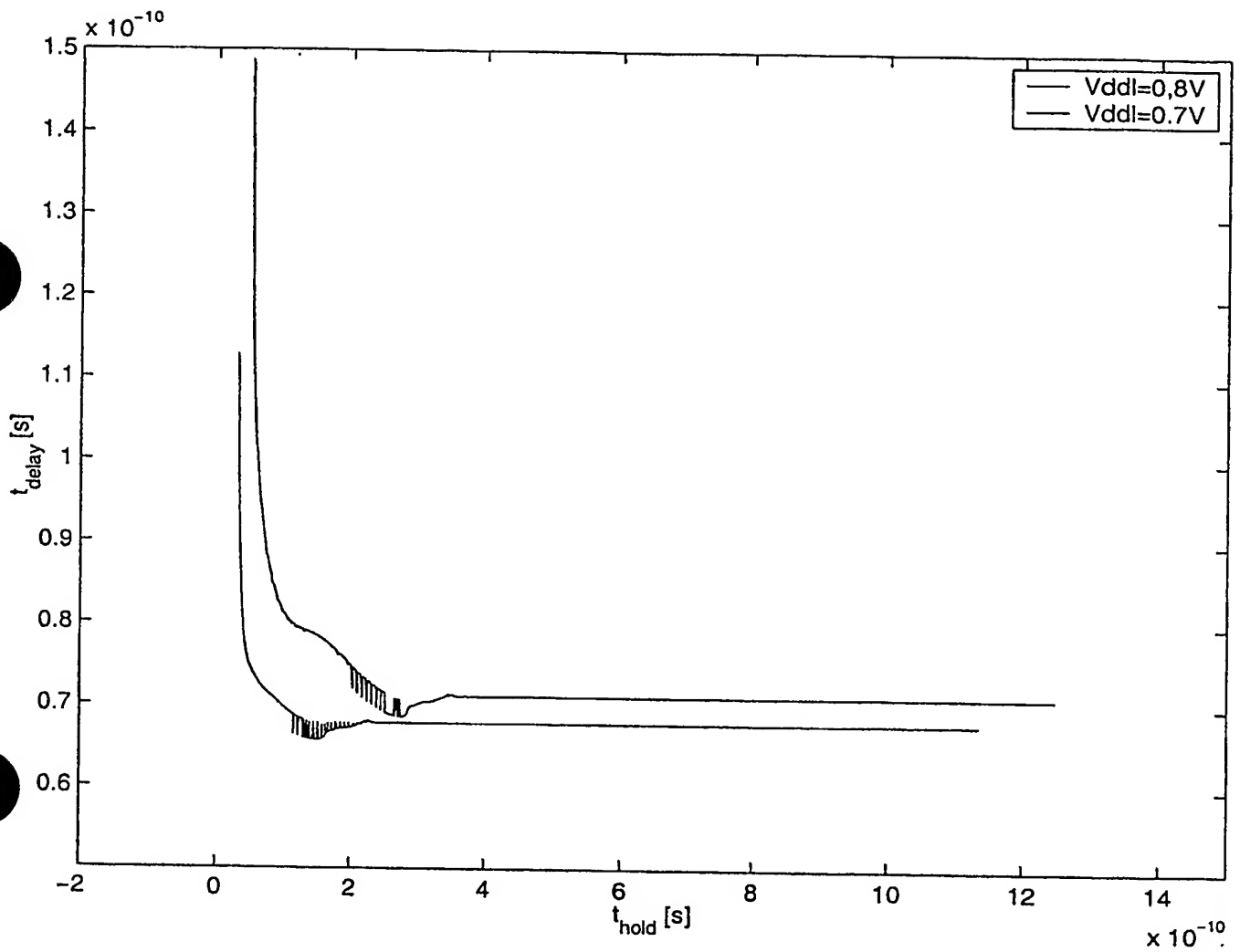


Fig 15

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☒ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☒ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.